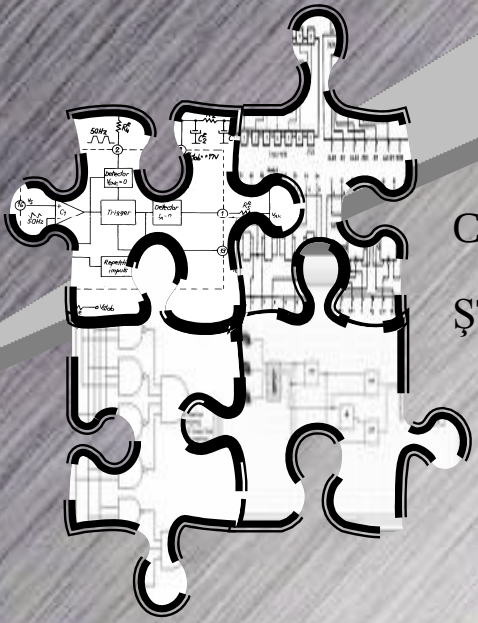
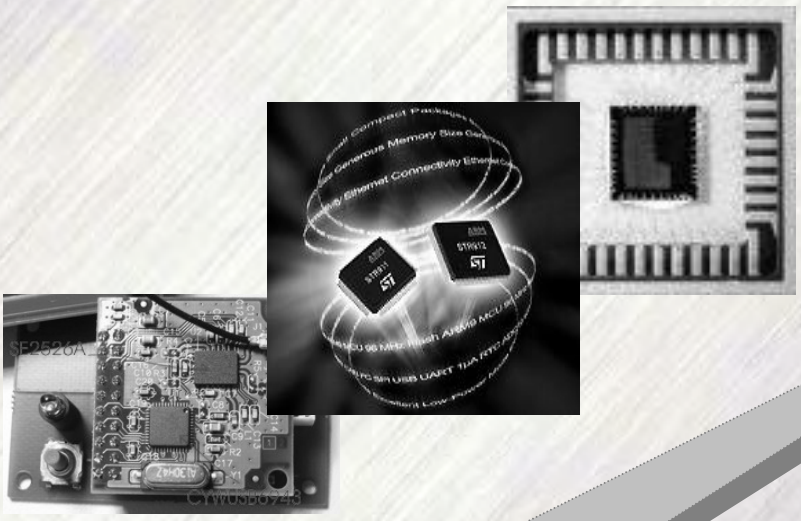


CLAUDIU LUNG RADU JOIAN

ŞTEFAN ONIGA CIPRIAN GAVRINCEA

CIRCUITE INTEGRATE DIGITALE

Îndrumător de laborator



ISBN 978-973-1729-86-2

PREFAȚĂ

Cartea de față conține 14 lucrări care surprind principalele aspecte ale utilizării în practică a circuitelor digitale. Ea este destinată în special studenților din anii II și IV, Facultatea de Inginerie, domeniile Electronică și Telecomunicații / Calculatoare și Tehnologia Informației/ Electromecanică / Electroenergetică, din cadrul Universității de Nord Baia Mare, dar poate fi utilizată de orice inginer interesat de acest domeniu.

Lucrarea urmărește îndeaproape structura cursului ,,Circuite Integrate Digitale'' susținut de conf. dr. ing. Ștefan Oniga, cu studenții Facultății de Inginerie.

Structura și conținutul cărții atestă capacitatea autorilor de a evidenția, în cadrul unei concepții clare de ansamblu, aspectele cele mai reprezentative privind procesul evolutiv al Circuitelor Integrate Digitale.

Materialul a fost atent corectat în etape succesive, în efortul de a furniza informații corecte și actuale. Pe de altă parte, autorii sunt conștienți că, în ciuda oricărui efort depus, pot apărea erori în textul scris, și de aceea mulțumim pe această cale tuturor acelora care ne vor face observații critice referitoare la conținut sau la forma de prezentare.

Baia Mare, 31.10.2008 AUTORII

LABORATORUL 1

STUDIUL PORȚIILOR LOGICE FUNDAMENTALE „ŞI – logic'' - „SAU – logic''

1.1 OBIECTIVE

După parcurgerea acestui laborator studentul trebuie să poată:

1. Să reușească să completeze tabelul de adevăr al funcțiilor „ŞI'' / „SAU'';
2. Să deseneze simbolul porților „ŞI'' / „SAU'';
3. Să scrie ecuațiile booleene corespunzătoare funcțiilor „ŞI'' / „SAU''.

1.2 INTRODUCERE TEORETICĂ

Circuitele integrate la ora actuală au o mare răspândire în electronică și comunicații și nu în cele din urmă în viața de zi cu zi. Chiar dacă vorbim de electronica medicală sau de cea auto, de automatică, circuitele integrate joacă un rol hotărâtor în funcționarea unui aparat electronic. Cel mai simplu astfel de integrat conține patru porți logice, care la rândul lor (fiecare poartă) au în componență tranzistoare, diode, rezistoare și condensatoare. În figura 1.1 este prezentată structura internă a circuitului integrat **SN 7408N** (CDB 408E – varianta românească) din familia de circuite numerice TTL, având tensiunea de alimentare de 5 volți. Acest circuit conține patru porți logice „ŞI''.

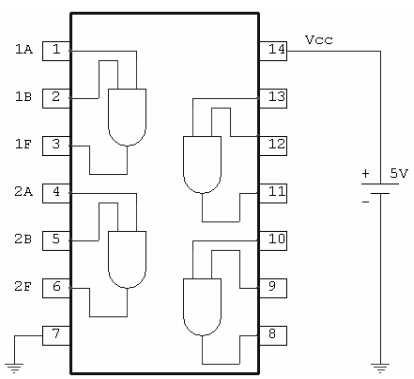
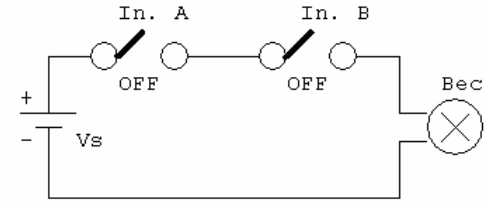


Figura 1.1

Ca şi funcționare, poarta ŞI poate fi asemănată cu o rețea de comutatoare (vezi fig.1.2). Atâta timp cât cel puțin unul dintre cele două comutatoare este deschis (nivel ,,0'' logic) becul nu va lumina, nefiind străbătut de curent (nivel ,,0'' logic). Singura condiție ca becul din figură să lumineze este ca cele două comutatoare să fie închise (nivel ,,1'' logic).



Retele de comutatoare logice

Figura 1.2

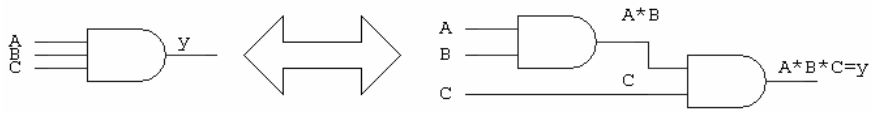
Simbolul porții ŞI precum şi tabelul de adevăr sunt prezentate în figura 1.3. A şi B sunt considerate intrări iar ,,y = A*B'' este ieşirea circuitului, şi se citeşte ,,y egal cu A ŞI B''. Se observă că ieşirea este ,,1'' numai în cazul când ambele intrări sunt în starea logică ,,1'' în restul cazurilor ieşirea va fi ,,0'',aşa cum am amintit şi mai sus. Nivelul logic ,,1'' corespunde alimentării porții de la o sursă de curent continuu de 5 volți, iar nivelul logic ,,0'' corespunde punerii la masă a intrării circuitului (adică 0 volți).

A	B	y=AB
0	0	0
0	1	0
1	0	0
1	1	1

Poarta Si cu doua intrari si tabelul de adevar

Figura 1.3

Există de asemenea şi porți logice ŞI cu mai mult de 2 intrări. Orice poartă ŞI, indiferent de numărul de intrări, poate fi înlocuită, ca funcționalitate, cu un circuit echivalent realizat din porți logice ŞI cu 2 intrări. În figura 1.4 este prezentat circuitul echivalent al unei porți logice ŞI cu 3 intrări.



Poarta SI cu trei intrari

Figura 1.4

În figura 1.5 este prezentată structura internă a circuitului **SN 7432N** (CDB 432E – varianta românească), un circuit integrat ce are în componență 4 porți logice ,,SAU''. Acest circuit este folosit în cadrul acestui laborator pentru a studia poarta logică ,,SAU''.

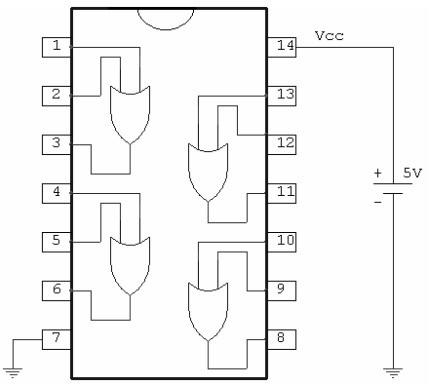
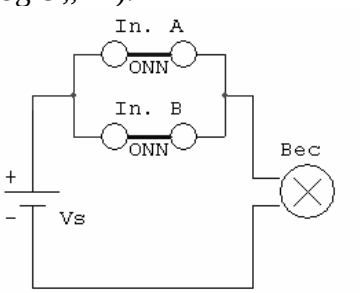


Figura 1.5

La fel ca și în cazul porții logice ,,ȘI'', poarta logică ,,SAU'' poate fi echivalată cu o rețea de comutatoare, circuit prezentat în figura 1.6. Atât timp cât ambele comutatoare sunt deschise (nivel logic ,,0''), becul din figură nu va fi străbătut de curent (nivel logic ,,0''). În cazul în care cel puțin unul dintre comutatoare este închis (nivel logic ,,1''), becul va fi străbătut de curent (nivel logic ,,1'').



Retea de comutatoare logice

Figura 1.6

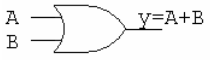
Vom simboliza în continuare poarta ,,SAU'' şi vom defini de asemenea şi tabelul de adevăr al acesteia.

Operația elementară SAU (OR în limba engleză) între variabilele binare A şi B se notează:

$$y = A+B$$

şi se citeşte ,,y este (egal) cu A SAU B''. Semnul ,,+'' din expresia logică SAU nu trebuie confundat cu semnul adunării , operația aritmetică de adunare şi operația logică SAU sunt chestiuni diferite. Tabelul de adevăr al operației SAU nu mai este identic cu cel al adunării deoarece în algebra booleană nu se poate depăşi valoarea 1. Adică 1 + 1 = 1 (aici semnul + indică operația logică SAU), pe când 1 + 1 = 2 în aritmetică. Acest lucru este valabil şi pentru operația SAU între mai multe variabile, de exemplu 1 + 1 + 1 = 1.

Poarta SAU este cu cel puțin 2 intrări şi o singură ieşire. Circuitul funcționează astfel: nivelul de tensiune la ieşirea circuitului corespunde lui 1 logic atunci când cel puțin uneia dintre intrări i se aplică nivelul de tensiune ce corespunde lui 1 logic.



A	B	y=A+B
0	0	0
0	1	1
1	0	1
1	1	1

Poarta SAU si tabelul de adevar

Figura 1.7

Există de asemenea şi porți SAU cu mai mult de două intrări. În figura 1.8 este reprezentată o echivalență a unei porți ,,SAU'' cu trei intrări realizată exclusiv cu porți care dispun numai de două intrări.

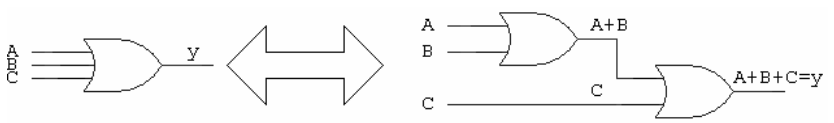


Figura 1.8

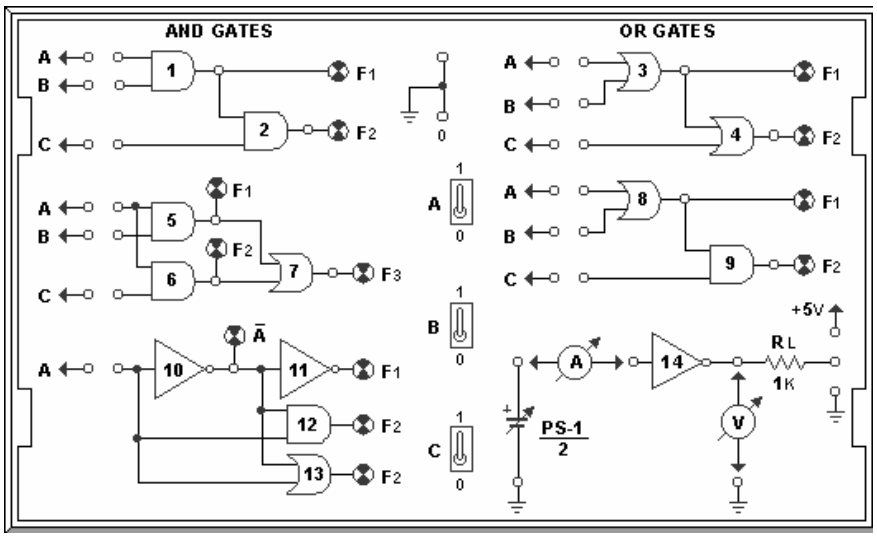
1.3 DESFĂŞURAREA LUCRĂRII DE LABORATOR

1.3.1 Obiective

1. Utilizarea porții ,,ŞI'' / ,,SAU''și determinarea relațiilor între intrările porții și ieşirea acesteia;
2. Completarea tabelului de adevăr cu rezultatele experimentale;
3. Scrierea ecuațiilor booleene pentru două porți ,,ŞI'' / ,,SAU'';
4. Utilizarea a două porți ,,ŞI'' / ,,SAU'' (cu două intrări) pentru a construi o singură poartă ,,ŞI'' / ,,SAU''cu trei intrări.

1.3.2 Echipament necesar

1. un cadru de bază PU – 2000
2. o placă EB – 131



Placa EB – 131

1.3.3 Efectuarea lucrării

1. Expresia logică a funcției ,,ŞI'' este:

F = ...

2. Câte porți ,,ȘI'' cu 2 intrări sunt necesare pentru a construi una cu trei intrări.

R:

3. Vom realiza un circuit cu trei intrări şi două ieşiri distincte. Localizați pe placa EB-131 circuitul prezentat în figura 1.9. Realizați toate conexiunile necesare folosind cablurile aflate în dotarea standului de laborator. Nivelurile logice la intrarea unei porți pot fi ,,0'' sau ,,1''. Cu ajutorul comutatoarelor A, B putem aplica semnale logice la cele două intrări ale circuitului. Pentru un circuit logic cu 2 intrări avem 2^2 combinații posibile. Intrarea C nu se va utiliza în acest caz.

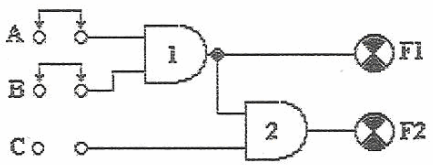


Figura 1.9

4. Notați în tabelul următor starea ieşirii F_1:

A	**B**	**F_1**
0	0	
0	1	
1	0	
1	1	

5. Expresia booleană la ieşirea porții 1 va fi:

F_1 = ...

6. Vom utiliza acum toate intrările circuitului (deci vom conecta şi intrarea C). Nivelurile logice la intrarea porților vor fi tot ,,0'' sau ,,1'' (pentru un circuit logic cu 3 intrări avem 2^3 combinații posibile).

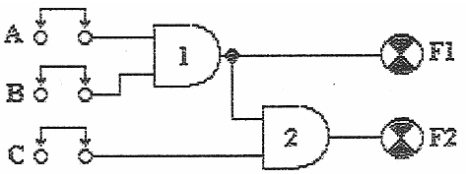


Figura 1.10

7. Notați în tabelul următor starea ieşirii F_2 :

A	**B**	**C**	**F_2**
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

8. Expresia booleană pentru ieşirea F_2 va fi:

F_2 = ...

9. Pentru a vedea simultan ce se întâmplă cu cele două ieşiri, va trebui să realizăm un tabel mai voluminos în care vom trece atât cele trei intrări (A, B şi C) cât şi cele două ieşiri (F_1 şi F_2).

A	**B**	**C**	**F_1**	**F_2**
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

10. Dacă la o intrare a unei porți ,,ŞI'' avem nivelul logic ,,0'' atunci ieşirea va fi tot timpul:

R:

11. În care caz ieşirea unei porți ,,ŞI'' va fi tot timpul în ,,1'' logic ?

R:

12. În cazul în care avem o poartă ,,ŞI'' cu trei intrări, ce trebuie să facem pentru a obține la ieşire funcția $A \cdot B$?

R:

13. Se dă circuitul din figura 1.11. De câte porți avem nevoie (evident mai puține) pentru a obține la ieşire aceeaşi funcție:

R:

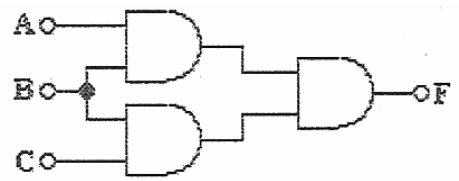


Figura 1.11

14. Să se scrie expresia booleană pentru o poartă ,,ŞI'' cu trei intrări:

F = ...

15. Expresia logică a funcției ,,SAU'' este:

F = ...

16. Câte porți ,,SAU'' cu două intrări sunt necesare pentru a construi o poartă ,,SAU'' cu trei intrări ?

R:

17. Tabelul cu expresia funcției de ieşire pentru o poartă ,,SAU'' este:

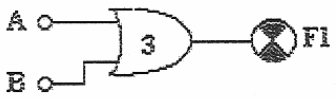


Figura 1.12

A	B	F_1
0	0	
0	1	
1	0	
1	1	

18. Expresia logică la ieşirea porții 1 va fi:

F_1 = ...

19. Vom realiza un circuit cu trei intrări şi două ieşiri distincte. Localizați pe placa EB-131 circuitul prezentat în figura 1.13. Realizați toate conexiunile necesare folosind cablurile aflate în dotarea standului de laborator. Nivelurile logice la intrarea porților pot fi „0'' sau „1''. Cu ajutorul comutatoarelor A, B, C putem aplica semnale logice la cele trei intrări ale circuitului. Pentru un circuit logic cu 3 intrări avem 2^3 combinații posibile.

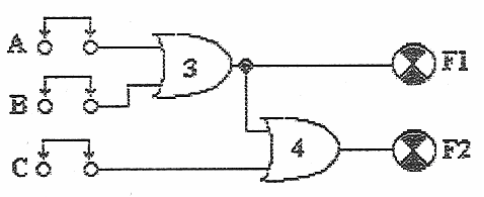


Figura 1.13

20. Notați în tabelul următor starea ieşirii F_2

A	B	C	F_2
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

21. Expresia booleană pentru ieşirea F_2 va fi:

F_2 = ...

22. Pentru a vedea simultan ce se întâmplă cu cele două ieşiri, va trebui să realizăm un tabel mai voluminos în care vom trece atât cele trei intrări (A, B şi C) cât şi cele două ieşiri (F_1 şi F_2).

A	**B**	**C**	**F_1**	**F_2**
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

23. Dacă la o intrare a unei porți ,,SAU'' avem nivelul logic ,,1'' şi la cealaltă intrare ,,0'' logic, atunci la ieşire vom avea:

R:

24. În cazul în care ambele intrări ale unei porți ,,SAU'' sunt în ,,0'' logic, la ieşire vom avea:

R:

25. În cazul în care avem o poartă ,,SAU'' cu trei intrări, ce trebuie să facem (cu una dintre intrări) pentru a obține la ieşire funcția $A + B$?

R:

26. Se dă circuitul din figura 1.14. De câte porți avem nevoie (evident mai puține) pentru a obține la ieşire aceeaşi funcție:

R:

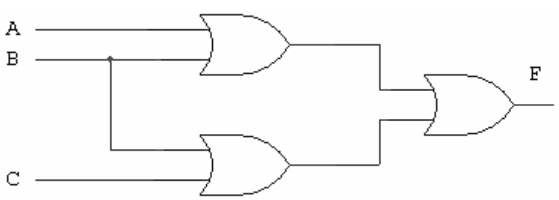


Figura 1.14

LABORATORUL 2

CIRCUITE SIMPLE REALIZATE CU AJUTORUL PORȚILOR „ŞI – SAU''

2.1 OBIECTIVE

După parcurgerea acestei lucrări de laborator studentul va trebui:

1. Să determine ecuația booleană la ieşirea unui circuit realizat cu porți „ŞI – SAU'';
2. Să construiască tabelul de adevăr pentru un circuit realizat cu porți „ŞI – SAU''.

2.2 INTRODUCERE TEORETICĂ

În acest laborator studentul este introdus în teoria celor mai simple circuite digitale existente şi anume cele realizate cu porți logice. Pentru început vom dezbate doar circuitele realizate cu porțile studiate până în prezent şi anume „ŞI'' respectiv „SAU''. În continuare sunt prezentate două astfel de circuite precum şi modul de determinare al funcției de ieşire corespunzătoare fiecărui circuit.

În figura 2.1 este prezentat un prim circuit.

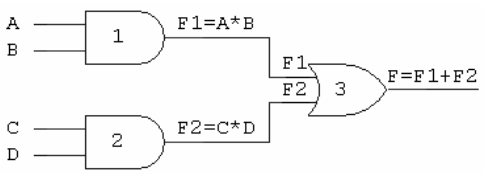


Figura 2.1

Circuitul are patru intrări (A, B, C, D) şi o singură ieşire (F). Poarta 1 este o poartă logică „ŞI'', deci la ieşirea porții 1 avem produsul variabilelor de intrare (A ŞI B). Poarta 2 este tot o poartă logică „ŞI'', deci la ieşirea porții 2 avem produsul variabilelor de intrare (C ŞI D). Cele două produse notate cu F_1 şi F_2 sunt introduse în poarta 3, care este o poartă logică „SAU'', astfel că la ieşirea circuitului vom avea $F_1 + F_2$ (adică $A \cdot B + C \cdot D$). De remarcat este faptul că ieşirea circuitului nu se determină direct

ci urmărind anumiți paşi intermediari. În figura 2.2 este prezentat cel de-al doilea circuit. Deoarece poarta 1 este o poartă logică ,,ŞI'', funcția ei de ieşire este dată de produsul variabilelor de intrare (A ŞI B). Funcția de ieşire a porții 2 este dată de produsul variabilelor de intrare (B ŞI C). După cum se poate observa, intrarea B este comună ambelor porți. Poarta 3 este o poartă logică ,,SAU'', funcția ei de ieşire este dată de suma variabilelor de intrare F1 + F2 (adică A·B + B·C = B·(A+C)).

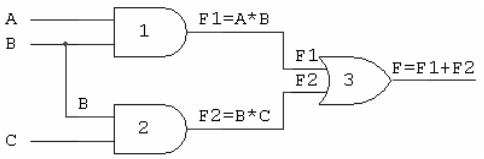


Figura 2.2

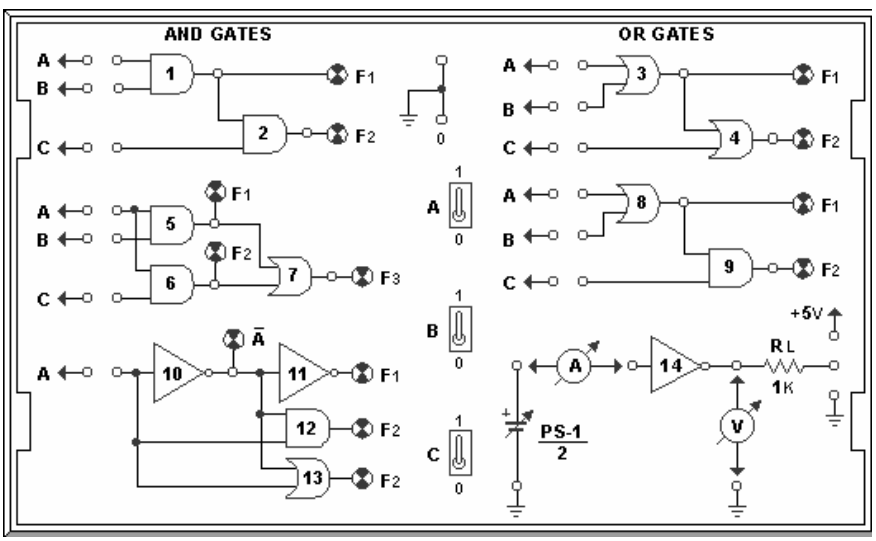
2.3 PARTEA PRACTICĂ

2.3.1 Obiective

1. Obținerea expresiei ieşirii la un circuit format din porți logice combinate ,,ȘI – SAU'';
2. Determinarea tabelului de adevăr pentru un circuit format din porți logice combinate ,,ȘI – SAU'';
3. Scrierea ecuației booleene la ieşirea unui astfel de circuit.

2.3.2 Echipament necesar

1. un cadru de bază PU – 2000
2. o placă EB – 131



Placa EB – 131

2.3.3 Efectuarea lucrării

1. Localizați pe placa EB-131 circuitul prezentat în figura 2.3. Realizați toate conexiunile necesare folosind cablurile aflate în dotarea standului de laborator. Nivelurile logice la intrarea unei porți pot fi ,,0'' sau ,,1''. Cu ajutorul comutatoarelor A, B, C putem aplica semnale logice la cele două intrări ale circuitului. Pentru un circuit logic cu 3 intrări avem 2^3 combinați posibile.

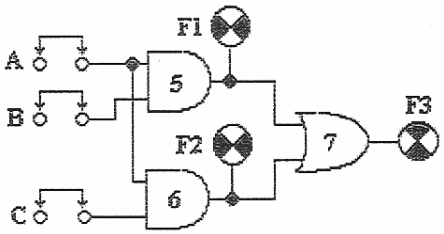


Figura 2.3

2. Determinați tabelul de adevăr corespunzător celor trei ieşiri :

A	**B**	**C**	**F_1**	**F_2**	**F_3**
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

3. Expresia logică la ieşirea F_3 a circuitului va fi:

$$F_3 = F_1 + F_2 = ...$$

4. Când este aprins becul (ledul, lampa) de la ieşirea F_3?

R:

5. Realizați circuitul din figura 2.4 cu ajutorul circuitelor existente pe placa EB-131. Determinați funcția de ieşire a fiecărei porți logice din circuit:

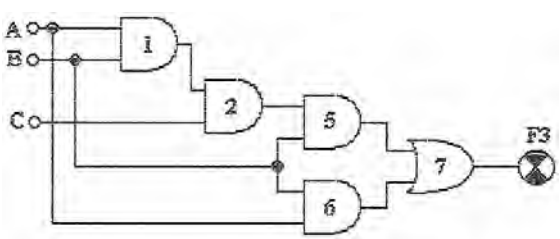


Figura 2.4

6. Determinați tabelul de adevăr corespunzător ieşirii F a circuitului.

A	B	C	F
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

7. Să se deseneze tabelul de adevăr pentru expresia funcției următoare:

$$F = [(A + B) \cdot B] + [(A + B) \cdot C]$$

A	B	C	F
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

8. Localizați pe placa EB-131 circuitul prezentat în figura 2.5. Realizați toate conexiunile necesare folosind cablurile aflate în dotarea standului de laborator. Nivelurile logice la intrarea unei porți pot fi ,,0'' sau ,,1''. Cu ajutorul comutatoarelor A, B, C putem aplica semnale logice la cele două intrări ale circuitului. Pentru un circuit logic cu 3 intrări avem 2^3 combinații posibile.

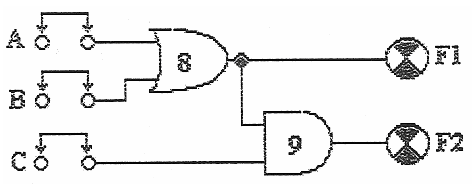


Figura 2.5

9. Determinați tabelul de adevăr corespunzător celor două ieşiri:

A	**B**	**C**	**F_1**	**F_2**
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

10. Expresia booleană pentru cele două ieşiri va fi:

F_1 = ...

F_2 = ...

11. Când este aprins becul (ledul, lampa) de la ieşirea F_1?
R:

12. Când este aprins becul (ledul, lampa) de la ieşirea F_2?
R:

13. Studiați circuitul din figura 2.6:

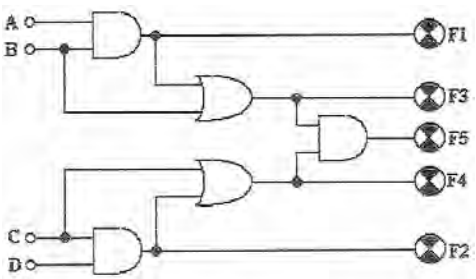


figura 2.6

14. Determinați expresia booleană corespunzătoare fiecărei ieşiri:

F_1 = ...

F_2 = ...

F_3 = ...

F_4 = ...

F_5 = ...

LABORATORUL 3

STUDIUL „INVERSORULUI LOGIC ’’. NIVELE LOGICE. POARTA TTL STANDARD

3.1 OBIECTIVE

După parcurgerea laboratorului studentul va trebui să fie capabil să:

1. Poată determina tabelul de adevăr al funcției NU;
2. Cunoască nivelurile logice de tensiune (LOW şi HIGH) pentru familia TTL;
3. Cunoască procedura de determinare a curentului în stare coborâtă respectiv ridicată.

3.2 INTRODUCERE TEORETICĂ

Vă vom prezenta pentru început structura internă a circuitului integrat **SN 7404N** (CDB 404E – varianta românească) pentru a putea observa configurația terminalelor şi a face distincția cu celelalte circuite prezentate până acum.

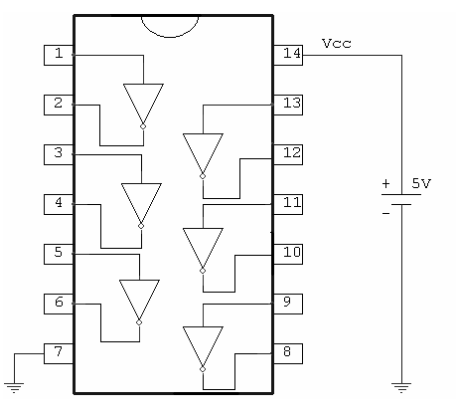
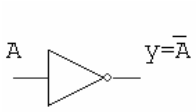


Figura 3.1

Cea mai simplă operație logică elementară operează cu o singură variabilă de intrare. Operația elementară NU (NOT în limba engleză) aplicată variabilei binare A se notează:

$$y = \overline{A}$$

şi se citeşte ,,y este (egal) cu A negat'' sau ,,y este (egal) cu non A''. Poarta logică care îndeplineşte funcția NU (negare) se numeşte inversor. Cerculeţul din figură este asociat inversării, triunghiul fiind consacrat amplificării neinversoare a semnalului, amplificare evident în putere în acest caz. Circuitul are o singură intrare şi o singură ieşire şi se numeşte circuit inversor, sau de complementare.



A	y=Ā
0	1
1	0

Inversorul si tabelul de adevar

Figura 3.2

Semnalele cu care se lucrează în electronica digitală pot avea două stări distincte: 0 logic (sau nivel LOW) respectiv 1 logic (sau nivel HIGH). Nivelul 0 logic corespunde unei tensiuni de aproximativ 0V, iar nivelul 1 logic corespunde unei tensiuni de aproximativ 5V. Valoarea efectivă a tensiunilor corespunzătoare celor două nivele logice poate varia între anumite limite. Sunt admise anumite limite pentru parametrii semnalului prezent la intrarea unui circuit digital, respectiv sunt admise anumite limite pentru parametrii semnalului prezent la ieşirea unui circuit digital. Parametri ce caracterizează un semnal digital prezent la intrarea sau ieşirea unui circuit sunt:

- V_{IH} : tensiune de intrare pentru nivel HIGH
- V_{IL} : tensiune de intrare pentru nivel LOW
- V_{OH} : tensiune de ieşire pentru nivel HIGH
- V_{OL}: tensiune de ieşire pentru nivel LOW
- I_{IH} : curent de intrare pentru nivel HIGH
- I_{IL} : curent de intrare pentru nivel LOW
- I_{OH} : curent de ieşire pentru nivel HIGH
- I_{OL} : curent de ieşire pentru nivel LOW

Structura porții ŞI-NU (NAND) în tehnologie TTL standard este dată în figura 3.3.

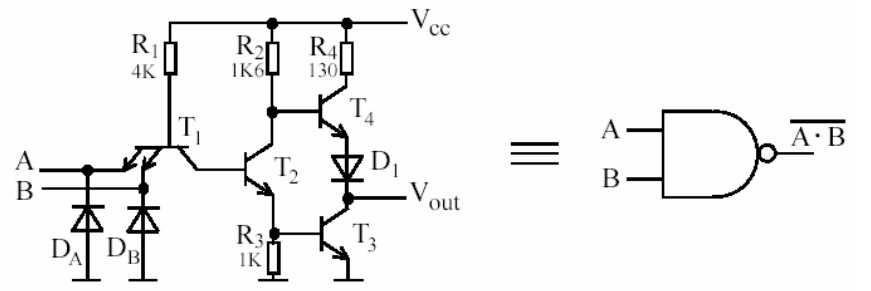


Figura 3.3

Dacă tensiunea pe cel puțin una din intrări este nulă, tranzistorul T1 are cel puțin o joncțiune polarizată direct şi potențialul bazei lui T1 este de circa 0,6V. În aceste condiții, tranzistorii T2 şi T3 sunt blocați, iar tranzistorul T4 conduce, rezultând la ieşire starea 1 logic. Tensiunea la ieşire este V_{OH} (**o**utput **h**igh):

$$V_{OH} = V_{CC} - V_{BE(T4)} - V_{F(D1)}$$

Dacă tensiunile pe intrări sunt în 1 logic, joncțiunea BC a tranzistorului T1 conduce, polarizând baza tranzistorului T2. Intrarea în conducție a lui T2 determină şi conducția lui T3, rezultând la ieşire 0 logic. Tensiunea la ieşire este V_{OL} (**o**utput **l**ow):

$$V_{OL} = V_{CEsat(T3)}$$

Caracteristica $V_{out} = f(V_{in})$ se numeşte caracteristica de transfer de tensiune a porții şi are forma din figura 3.4, pentru o anumită tensiune de alimentare şi temperatură. Tensiunea de intrare se aplică simultan pe cele 2 intrări A şi B ale porții, care devine astfel un simplu inversor.

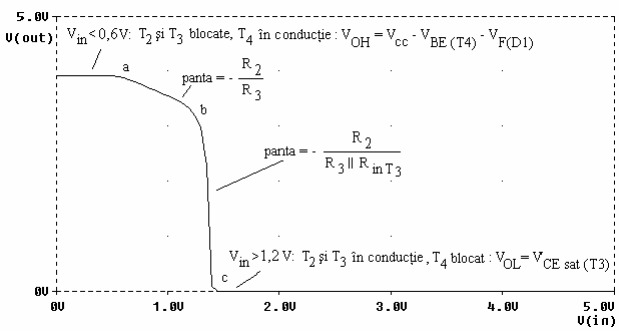


Figura 3.4 – Caracteristica de transfer a inversorului TTL standard

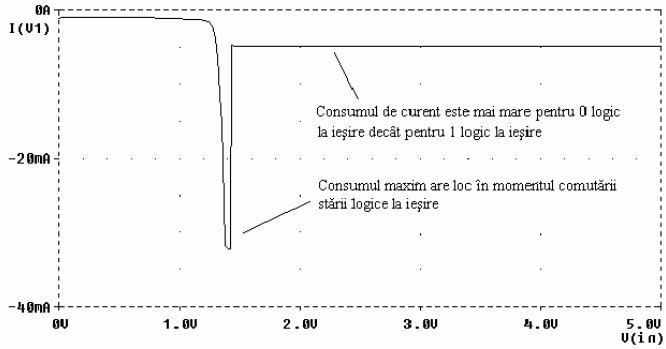


Figura 3.5 – Consumul de curent de la sursa de alimentare

Caracteristica $I_{in} = f(V_{in})$ se numeşte caracteristică de intrare şi este reprezentată în figura 3.6, pentru o anumită tensiune de alimentare şi temperatură.

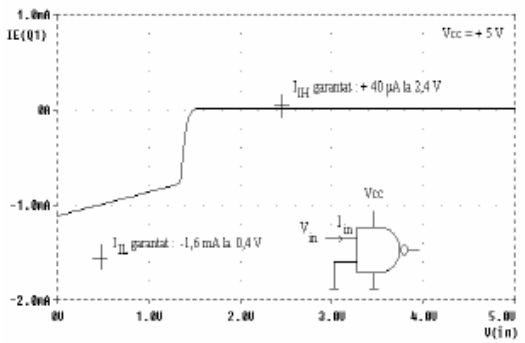
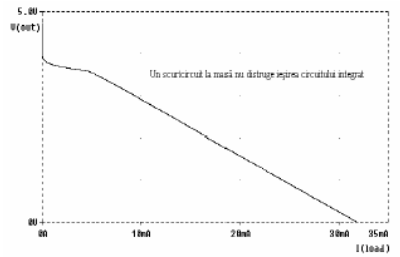
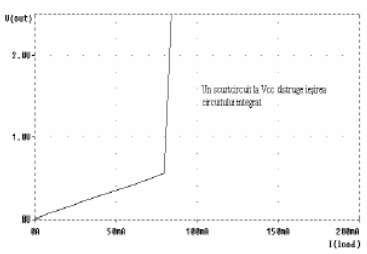


Figura 3.6

Caracteristica $V_{out} = f(I_{out})$ se numeşte caracteristică de ieşire. Există două caracteristici de ieşire, câte una pentru fiecare din cele două stări logice (figura 3.7).





Caracteristica de ieşire în 1 logic Caracteristica de ieşire în 0 logic

Figura 3.7

Figura 3.8 prezintă o comparație între caracteristicile de transfer pentru diverse grupe ale familiei logice TTL. Se observă asemănarea lor, deci putem spune că toate grupele TTL se pot interconecta direct, cu observația că frecvența de lucru trebuie să fie mai mică decât frecvența maximă a celor mai lente circuite din structură.

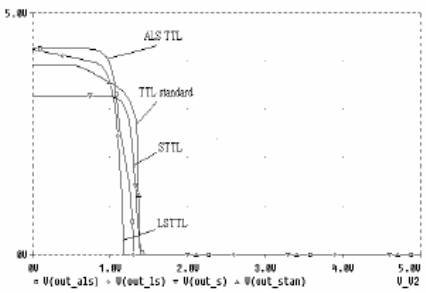


Figura 3.8

În tabelul de mai jos sunt prezentate limitele admise pentru parametrii unui semnal digital prezent la intrare respectiv ieşirea unui circuit digital din familia TTL:

Seria / Param.	**74**	**74S**	**74LS**	**74AS**	**74ALS**	**74F**
V_{OHmin}	2,4V	2,7V	2,7V	2,7V	2,7V	2,7V
V_{OLmax}	0,4V	0,5V	0,5V	0,5V	0,5V	0,5V
V_{IHmin}	2,0V	2,0V	2,0V	2,0V	2,0V	2,0V
V_{ILmax}	0,8V	0,8V	0,8V	0,8V	0,8V	0,8V
I_{OHmin}	-0,4mA	-1,0mA	-0,4mA	-2,0mA	-0,4mA	-1,0mA
I_{OLmin}	16mA	20mA	8mA	20mA	4mA	20mA
I_{IHmax}	40 μ A	50 μ A	20 μ A	20 μ A	20 μ A	20 μ A
I_{ILmax}	-1,6mA	-2,0mA	-0,4mA	-0,6mA	-0,2mA	-0,6mA
t_p	10ns	3ns	10ns	1,5ns	4ns	2,5ns
P_d	10mW	20mW	2mW	20mW	1mW	4mW

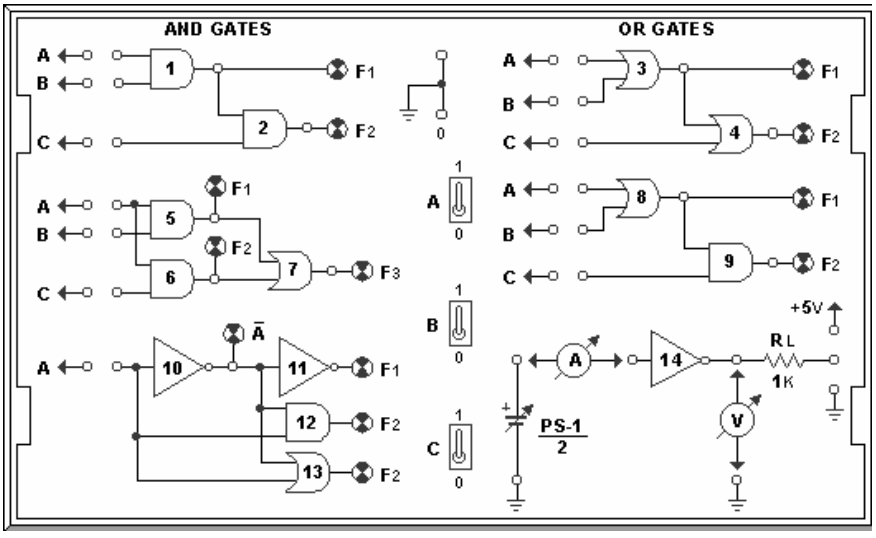
3.3 PARTEA PRACTICĂ

3.3.1 Obiective

1. Utilizarea inversorului logic;
2. Verificarea câtorva postulate ale algebrei logice;
3. Măsurarea tensiunilor la intrarea şi ieşirea unei porți logice;
4. Măsurarea curentului la intrarea şi ieşirea unei porți logice;
5. Determinarea unor parametrii specifici porții logice.

3.3.2 Echipament necesar

1. un cadru de bază PU – 2000
2. o placă EB – 131
3. un ampermetru
4. un voltmetru



Placa EB – 131

3.3.3 Efectuarea lucrării

1. Dacă legăm în cascadă două inversoare la ieşire vom avea ….. ?
R:

2. Dacă avem un număr par de inversoare legate în cascadă, acestea vor fi echivalente cu ….. ?

R:

3. Localizați pe placa EB-131 circuitul prezentat în figura 3.9. Realizați toate conexiunile necesare folosind cablurile aflate în dotarea standului de laborator:

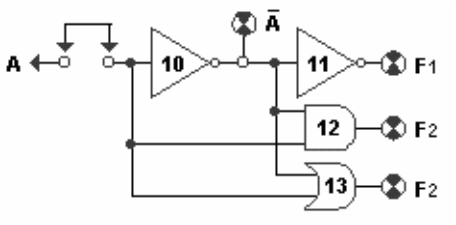


Figura 3.9

4. Pentru a determina tabelul de adevăr al porții NU vom utiliza prima parte a circuitului (vezi figura 3.10). Cu ajutorul comutatorului A vom aplica la intrarea porții inversoare 0 respectiv 1 logic si vom urmării stările de la ieşire:

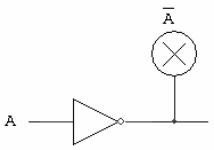


Figura 3.10

5. Tabelul de adevăr al inversorului va fi:

A	$\overline{A}$
0	
1	

6. Folosim circuitul din figura 3.11 pentru a demonstra principiul dublei negații:

$$A = \overline{\overline{A}}$$

Figura 3.11

7. În funcție de combinațiile apărute la intrare, la ieşirea F_1 vom avea:

A	**F_1**
0	
1	

8. Vom verifica principiul contradicției cu ajutorul circuitului prezentat în figura 3.12:

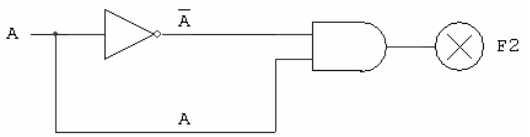


Figura 3.12

$$\boldsymbol{A \cdot \overline{A} = 0}$$

9. În funcție de combinațiile apărute la intrare, la ieşirea F_2 vom avea:

A	**F_2**
0	
1	

10. Pentru verificarea principiului terțului exclus se va folosi următorul circuit:

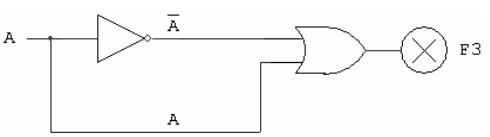


Figura 3.13

$$A + \overline{A} = 1$$

11. În funcție de combinațiile apărute la intrare, la ieşirea F_3 vom avea:

A	**F_3**
0	
1	

12. Când va semnaliza ,,0'' logic ieşirea F_3?

R:

13. Dacă la intrarea unui circuit format dintr-un număr par de inversoare logice avem ,,A'', la ieşirea circuitului vom avea ?

R:

14. Dacă la intrarea unui circuit format dintr-un număr impar de inversoare logice avem ,,A'', la ieşirea circuitului vom avea ?

R:

15. Se dă circuitul din figura 3.9. Ce avem la ieşirea F_1 ? Care dintre ieşiri va fi tot timpul ,,1'' pentru orice configurație de intrare? Care ieşire va fi tot timpul ,,0'' pentru orice configurație a intrării:

R_1: ..... R_2: ..... R_3: .....

16. Localizați pe placa EB-131 circuitul prezentat în figura 3.14. Realizați toate conexiunile necesare folosind cablurile aflate în dotarea standului de laborator:

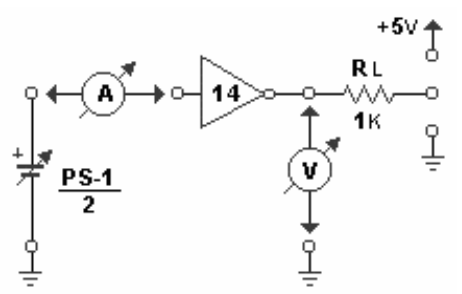


Figura 3.14

17. Ajustați potențiometrul PS-1 pentru a obține o tensiune de 0V la intrarea inversorului.

18. Am aplicat 0 logic la intrarea inversorului, deci la ieşire vom avea 1 logic. Tensiunea de la ieşirea inversorului reprezintă, în acest caz, tensiunea de ieşire pentru nivel HIGH. Măsurați tensiunea de la ieşirea inversorului:

V_{OH} = ... V

19. Conectați rezistența R_L la masă:

20. Măsurați tensiunea de la ieşirea inversorului:

V_{OH} = ... V

21. Ştiind că $R_L = 1\,k\Omega$, putem determina valoarea lui I_{OH} cu ajutorul formulei:

$$I_{OH} = \frac{0V - V_{OH}}{R_L}$$

I_{OH} = ... mA

22. Pentru a determina valoarea curentului de intrare vom utiliza circuitul din figura 3.15:

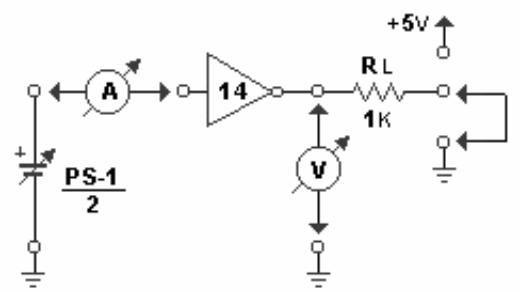


Figura 3.15

23. Măsurați curentul de la intrarea inversorului:

I_{IL} = ... mA

24. Realizați circuitul din figura 3.16:

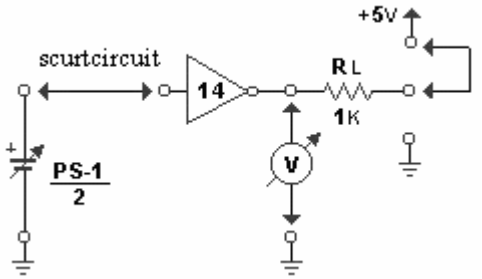


Figura 3.16

25. Ajustați potențiometrul PS-1 pentru a obține o tensiune de 5V la intrarea inversorului.

26. Am aplicat 1 logic la intrarea inversorului, deci la ieşire vom avea 0 logic. Tensiunea de la ieşirea inversorului reprezintă, în acest caz, tensiunea de ieşire pentru nivel LOW . Măsurați tensiunea de la ieşirea inversorului:

V_{OL} = ... V

27. Ştiind că $R_L = 1\,k\Omega$, putem determina valoarea lui I_{OL} cu ajutorul formulei:

$$I_{OL} = \frac{5V - V_{OL}}{R_L}$$

I_{OL} = ... mA

28. Conectăm un ampermetru la intrarea inversorului (înlocuim scurtcircuitul din figura 3.16 cu un ampermetru). Măsurați curentul de la intrarea inversorului:

I_{IH} = ... mA

LABORATORUL 4

STUDIUL PORȚILOR LOGICE FUNDAMENTALE „ŞI-NU-logic''/ „SAU-NU-logic''

4.1 OBIECTIVE

După parcurgerea acestui laborator studentul trebuie să poată::

1. Să reușească să completeze tabelul de adevăr al funcțiilor „ŞI-NU'' / „SAU-NU'';
2. Să deseneze simbolul porților „ŞI-NU'' / „SAU-NU'';
3. Să scrie ecuațiile booleene corespunzătoare funcțiilor „ŞI-NU'' / „SAU-NU''.

4.2 INTRODUCERE TEORETICĂ

Structura internă a circuitului integrat **SN 7400N** (CDB 400E – varianta românească) este prezentată în figura 4.1. Se observă că în structura lui intră 4 porți de tipul „ŞI-NU'' ca şi la integratele prezentate până acum (excepție făcând circuitul SN 7404, care conține 6 porți inversoare), pinul 7 fiind masa, iar pinul 14 alimentarea.

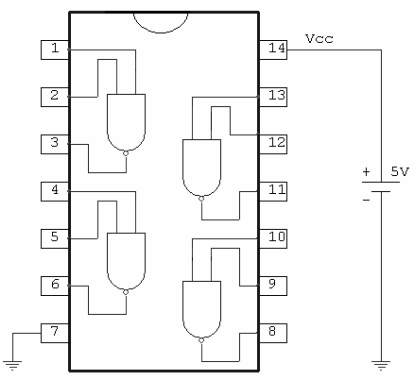


Figura 4.1

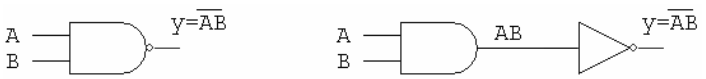
Simbolul porții ,,ŞI-NU'' împreună cu tabelul de adevăr este prezentat în figura 4.2. Ieşirea porții ,,ŞI-NU'' (NAND) rămâne în stare definită ca ,,0'' atunci şi numai atunci când toate intrările sunt în stare definită ca ,,1''. Poarta realizează funcția logică ,,ŞI-NU''.

A	B	$y=\overline{A*B}$
0	0	1
0	1	1
1	0	1
1	1	0

Poarta SI-NU si tabelul de adevar

Figura 4.2

După cum se poate observa în figura 4.3 prin conectarea a două porți logice: ,,ŞI'' respectiv ,,NU'' putem obține o poartă ,,ŞI-NU''.



Poarta SI-NU cu doua intrari

Figura 4.3

Există de porți logice ,,ŞI-NU'' cu 2 mai multe intrări. În figura 4.4 este prezentată o poartă ,,ŞI-NU'' cu trei intrări. Se observă că ieşirea este practic produsul intrărilor negat:

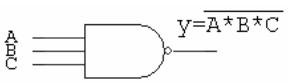


Figura 4.4

Ca şi funcționare, poarta ŞI-NU poate fi asemănată cu o rețea de comutatoare (vezi figura 4.5). Atâta timp cât cel puțin unul dintre cele trei comutatoare este deschis (nivel ,,0'' logic) becul va lumina, fiind străbătut de curent (nivel ,,1'' logic). Singura condiție ca becul din figură să nu lumineze este ca cele trei comutatoare să fie închise simultan (nivel ,,1'' logic).

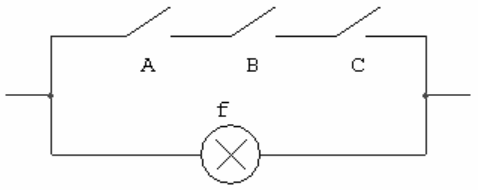


Figura 4.5

Structura integrată a circuitului **SN 7402N** (CDB 402E – varianta românească) are în componență patru porți „SAU-NU''. Ea poate fi urmărită în figura 4.6. Acest circuit este folosit în cadrul acestui laborator pentru a studia poarta logică „SAU-NU''

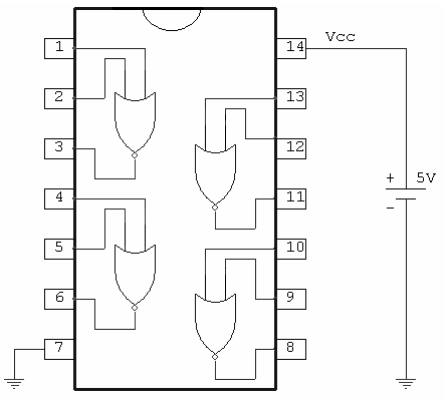
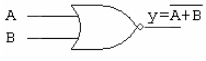


Figura 4.6

În figura 4.7 se observă simbolul porții „SAU-NU'' și tabelul de adevăr aferent acesteia. Ieșirea porții „SAU-NU'' (NOR) rămâne în starea definită „1'' atunci când nici una dintre intrările sale nu este în stare definită ca „1'' (toate intrările sunt în stare definită ca „0''). În rest când intrările sunt diferite poarta va semnaliza la ieșire nivelul logic „0''. Poarta realizează funcția logică SAU-NU.



A	B	$y=\overline{A+B}$
0	0	1
0	1	0
1	0	0
1	1	0

Poarta SAU-NU si tabelul de adevar

Figura 4.7

De asemenea şi poarta ,,SAU-NU'' se echivalează prin conectarea a două porți logice: ,,SAU'' respectiv ,,NU'' exact ca şi în figura 4.8:

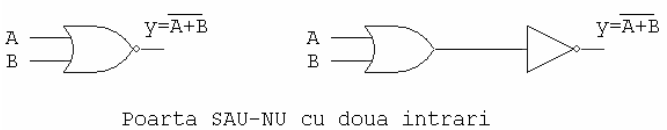


Figura 4.8

Există de asemenea şi porți SAU-NU cu mai mult de două intrări. Un exemplu de acest fel poate fi observat în figura 4.9, unde este prezentată o poartă ,,SAU-NU'' cu trei intrări.

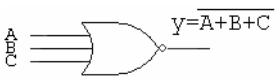


Figura 4.9

La fel ca şi în cazul porții logice ,,ŞI-NU'', poarta logică ,,SAU-NU'' poate fi echivalată cu o rețea de comutatoare, circuit prezentat în figura 4.10. Atât timp cât cele trei comutatoare sunt deschise (nivel logic ,,0''), becul din figură va fi străbătut de curent (nivel logic ,,1''). În cazul în care unul dintre cele trei comutatoare este închis (nivel logic ,,1''), becul nu va fi străbătut de curent (nivel logic ,,0'').

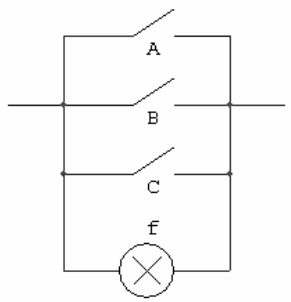


Figura 4.10

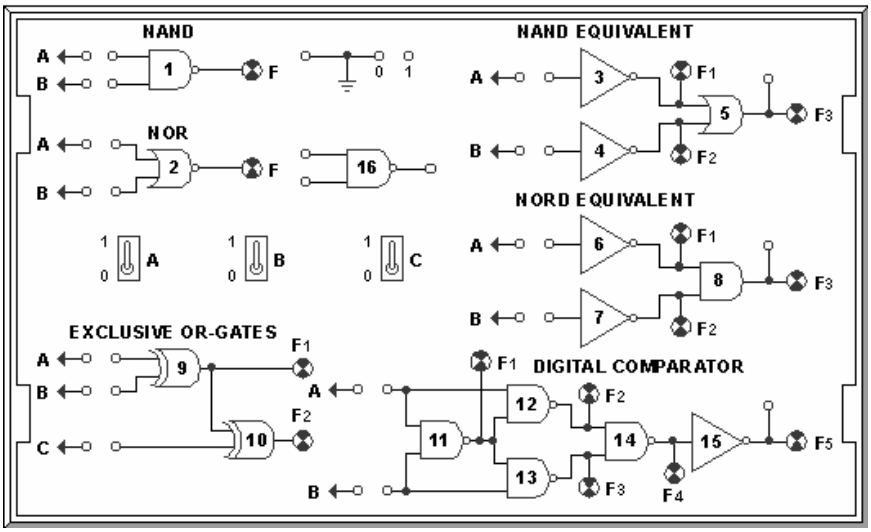
4.3 PARTEA PRACTICĂ

4.3.1 Obiective

1. Utilizarea porții ,,ŞI-NU'' / ,,SAU-NU''şi determinarea relațiilor între intrările porții şi ieşirea acesteia;
2. Completarea tabelului de adevăr cu rezultatele experimentale;
3. Scrierea ecuațiilor booleene pentru două porți ,,ŞI-NU'' / ,,SAU-NU'';
4. Utilizarea o două porți ,,ŞI-NU'' / ,,SAU-NU'' (cu două intrări) pentru a construi o singură poartă ,,ŞI-NU'' / ,,SAU-NU''cu trei intrări.

4.3.2 Echipament necesar

1. un cadru de bază PU – 2000
2. o placă EB – 132



Placa EB – 132

4.3.3 Efectuarea lucrării

1. Se va realiza circuitul din figura 4.11. Localizați pe placa EB-132 circuitul prezentat în figura 4.11. Realizați toate conexiunile necesare folosind cablurile aflate în dotarea standului de laborator. Nivelurile logice la intrarea unei porți pot fi ,,0'' sau ,,1''. Cu

ajutorul comutatoarelor A, B putem aplica semnale logice la cele două intrări ale circuitului. Pentru un circuit logic cu 2 intrări avem 2^2 combinați posibile:

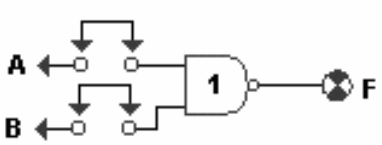


Figura 4.11

2. Dacă la o intrare a porții avem nivel logic ,,0'' şi la cealaltă intrare avem A, ieşirea va fi:

R:

3. Expresia logică a funcției ,,ȘI-NU'' este:

F = ...

4. Urmăriți stările logice de la ieşirea F si completați tabelul de adevăr al porții ,,ȘI-NU'':

A	**B**	**F**
0	0	
0	1	
1	0	
1	1	

5. Ce nivel logic trebuie să avem la intrările unei porți ,,ȘI-NU'' pentru ca aceasta să semnalizeze la ieşire tot timpul zero ?

R:

6. Dacă pe o intrare a unei porți ,,ȘI-NU'' avem nivel logic ,,1'' şi pe cealaltă intrare avem A, ce poartă echivalentă se poate obține la ieşire ?

R:

7. Vom realiza un circuit cu două intrări şi o singură ieşire. Localizați pe placa EB-132 circuitul prezentat în figura 4.12. Realizați toate conexiunile necesare folosind cablurile aflate în dotarea standului de laborator. Nivelurile logice la intrarea unei porți pot fi ,,0'' sau ,,1''. Cu ajutorul comutatoarelor A, B putem aplica semnale logice la cele

două intrări ale circuitului. Pentru un circuit logic cu 2 intrări avem 2^2 combinați posibile:

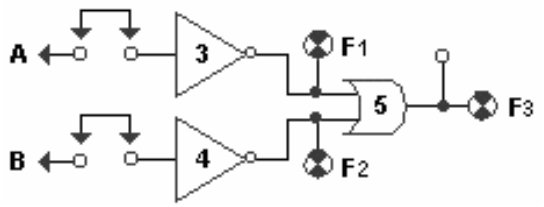


Figura 4.12

8. Notați în tabelul de adevăr starea celor trei ieşiri F_1, F_2 respectiv F_3:

A	**B**	**F_1**	**F_2**	**F_3**
0	0			
0	1			
1	0			
1	1			

9. Funcționarea acestui circuit este similară cu cea a unei porți ŞI-NU ?
R:

10. Expresia booleană la ieşirile F_1, F_2 respectiv F_3 va fi:

F_1 = ...

F_2 = ...

F_3 = ...

11. Se va realiza circuitul din figura 4.13. Localizați pe placa EB-132 circuitul prezentat în figura 4.13. Realizați toate conexiunile necesare folosind cablurile aflate în dotarea standului de laborator. Nivelurile logice la intrarea unei porți pot fi „0'' sau „1''. Cu ajutorul comutatoarelor A, B putem aplica semnale logice la cele două intrări ale circuitului. Pentru un circuit logic cu 2 intrări avem 2^2 combinați posibile:

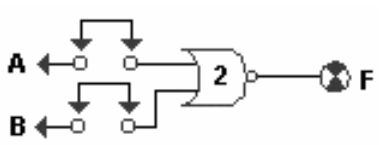


Figura 4.13

12. Expresia logică a funcției ,,SAU-NU'' este:

F = ...

13. Urmăriți stările logice de la ieşirea F şi completați tabelul de adevăr al porții ,,SAU- NU'':

A	B	F
0	0	
0	1	
1	0	
1	1	

14. Dacă la o intrare a porții avem nivel logic ,,1'' şi la cealaltă intrare avem A, ieşirea va fi:

R:

15. Ce nivel logic trebuie să avem la intrările unei porți ,,SAU-NU'' pentru ca aceasta să semnalizeze la ieşire tot timpul unu ?

R:

16. Dacă pe o intrare a unei porți ,,SAU-NU'' avem nivel logic ,,0'' şi pe cealaltă intrare avem A, ce poartă echivalentă se poate obține la ieşire ?

R:

17. Vom realiza un circuit cu trei intrări şi două ieşiri distincte. Localizați pe placa EB-132 circuitul prezentat în figura 4.14. Realizați toate conexiunile necesare folosind cablurile aflate în dotarea standului de laborator. Nivelurile logice la intrarea unei porți pot fi ,,0'' sau ,,1''. Cu ajutorul comutatoarelor A, B putem aplica semnale logice la cele două intrări ale circuitului. Pentru un circuit logic cu 2 intrări avem 2^2 combinați posibile:

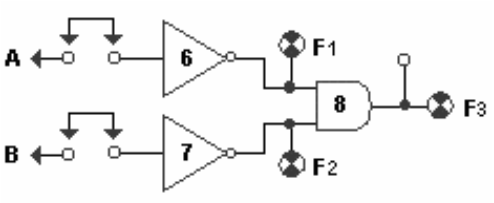


Figura 4.14

18. Notați în tabelul următor starea ieşirii F_1, F_2 respectiv F_3.

A	**B**	**F_1**	**F_2**	**F_3**
0	0			
0	1			
1	0			
1	1			

19. Funcționarea acestui circuit este similară cu cea a unei porți SAU-NU ?

R:

20. Expresia booleană la ieşirile F_1, F_2, respectiv F_3 va fi:

F_1 = ...

F_2 = ...

F_3 = ...

LABORATORUL 5

STUDIUL PORȚII LOGICE FUNDAMENTALE „SAU-EXCLUSIV'', „SAU-EXCLUSIV NEGAT'' ŞI A „COMPARATORULUI DIGITAL''

5.1 OBIECTIVE

După parcurgerea acestui laborator studentul trebuie să poată:

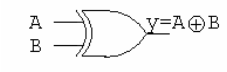
1. Să reuşească să completeze tabelul de adevăr al funcțiilor ,,SAU-EXCLUSIV'' / ,,SAU-EXCLISIV NEGAT'';
2. Să scrie ecuațiile booleene corespunzătoare funcțiilor ,,SAU-EXCLUSIV'' / ,,SAU-EXCLUSIV NEGAT''.
3. Să explice funcționarea comparatorului pe un bit;
4. Determina tabelul de adevăr al comparatorului digital;

5.2 INTRODUCERE TEORETICĂ

Funcția SAU-EXCLUSIV (Exclusive OR sau XOR în limba engleză) este o funcție logică care poate fi implementată cu ajutorul porților ŞI, SAU, NU. Funcția SAU-EXCLUSIV între variabilele A şi B este:

$$y = A \oplus B = A \cdot \overline{B} + \overline{A} \cdot B = \overline{A \cdot B + \overline{A} \cdot \overline{B}}$$

şi se citește ,,y este (egal) cu A SAU-EXCLUSIV B''. Simbolul porții şi tabelul de adevăr aferent sunt prezentate mai jos. Poarta SAU-EXCLUSIV are 2 intrări şi o singură ieşire, care este 1 logic doar dacă cele 2 intrări au valori logice complementare.



A	B	y=A⊕B
0	0	0
0	1	1
1	0	1
1	1	0

Poarta SAU-EXCLUSIV si tabelul de adevar

Figura 5.1

În variantă integrată avem circuitul **SN 7486N** (CDB 486E – varianta românească), care este un circuit realizat cu porți „SAU-EXCLUSIV''. Acesta este prezentat în figura 5.2:

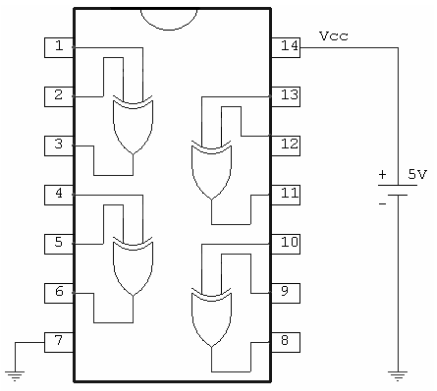
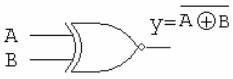


Figura 5.2

Funcția SAU-EXCLUSIV NEGAT (NXOR) între variabilele binare A şi B este:

$$y = \overline{A \oplus B} = \overline{A \cdot \overline{B} + \overline{A} \cdot B} = A \cdot B \oplus \overline{A} \cdot \overline{B}$$

şi se citeşte „y este (egal) cu A SAU-EXCLUSIV NEGAT B''. Simbolul porții şi tabelul de adevăr aferent sunt prezentate mai jos:



A	B	$y=\overline{A \oplus B}$
0	0	1
0	1	0
1	0	0
1	1	1

Poarta SAU-EXCLUSIV NEGAT si tabelul de adevar

Figura 5.3

Comparatorul este un circuit care permite determinarea valorii relative a două numere binare. Pe intrările circuitului se vor aplica biții cuvintelor ce urmează a fi comparate. Circuitul este prevăzut cu 3 ieşiri:

a. A < B
b. A = B
c. A > B

Compararea se face începând cu cei mai semnificativi biți, A şi B fiind cuvintele de comparat. Comparatoarele pot fi de un bit sau de mai mulți biți. Mărimile de intrare ale comparatorului sunt cei **n** biți ai fiecărei dintre cele 2 numere. Ieşirile au rolul de a indica care dintre relații este adevărată.

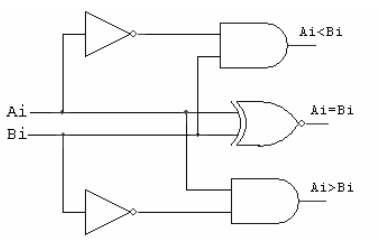
Pentru exemplificare vom considera un comparator pe un bit, unde A şi B sunt intrările. Alcătuind tabelul de funcționare putem scrie relațiile de mai jos.

A_i	B_i	$A_i<B_i$	$A_i=B_i$	$A_i>B_i$
0	0	0	1	0
0	1	1	0	0
1	0	0	0	1
1	1	0	1	0

$$A_i < B_i = \overline{A}_i * B_i$$

$$A_i > B_i = A_i * \overline{B}_i$$

$$A_i = B_i = \overline{A_i \oplus B_i} = \overline{\overline{A}_i * B_i + A_i * \overline{B}_i} = A_i * B_i + \overline{A}_i * \overline{B}_i$$

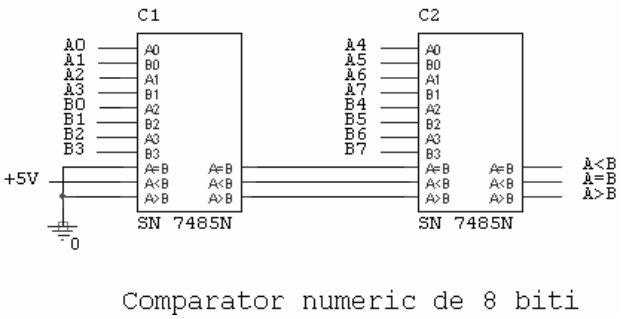


Comparator numeric de un bit

Figura 5.4

Ca şi circuitul integrat avem circuitul **SN 7485N** care este un comparator numeric de patru biți cu posibilități de expandare. Pentru a putea compara numere cu mai mulți biți, circuitul este prevăzut cu borne de intrare de expandare notate A > B, A < B, A = B. Expandarea se realizează astfel: bornele de intrare ale unui etaj de patru biți se leagă la ieşirile comparatorului de rang inferior. În figura 5.5 se exemplifică realizarea unui

comparator pentru două numere de câte 8 biți utilizând comparatoare de câte 4 biți.



Comparator numeric de 8 biti

Figura 5.5

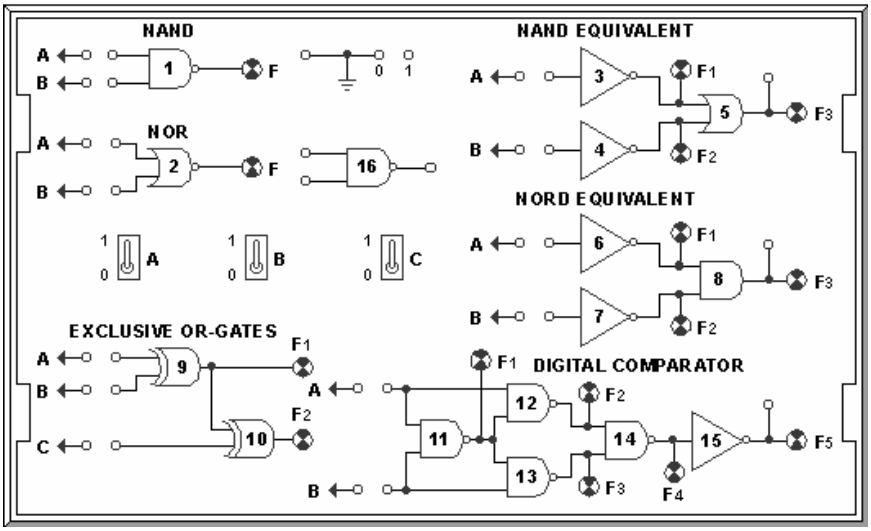
5.3 PARTEA PRACTICĂ

5.3.1 Obiective

1. Utilizarea porții ,,SAU-EXCLUSIV'' / ,,SAU-EXCLUSIV NEGAT''și determinarea relațiilor între intrările porții și ieșirea acesteia;
2. Completarea tabelului de adevăr cu rezultatele experimentale;
3. Scrierea ecuațiilor booleene pentru două porți ,,SAU-EXCLUSIV'' / ,,SAU-EXCLUSIV NEGAT'';
4. Înțelegerea funcționării comparatorului digital pe mai mulți biți.

5.3.2 Echipament necesar

1. un cadru de bază PU – 2000
2. o placă EB – 132



Placa EB – 132

5.3.3 Efectuarea lucrării

1. Expresia logică a funcției ,,SAU-EXCLUSIV'' este:

F = ...

2. Când ambele intrări ale unei porți ,,SAU-EXCLUSIV'' sunt în ,,0'' logic, la ieşire vom avea nivelul ?

R:

3. Vom realiza un circuit cu trei intrări şi două ieşiri distincte. Localizați pe placa EB-132 circuitul prezentat în figura 5.6. Realizați toate conexiunile necesare folosind cablurile aflate în dotarea standului de laborator. Nivelurile logice la intrarea unei porți pot fi ,,0'' sau ,,1''. Cu ajutorul comutatoarelor A, B, C putem aplica semnale logice la cele două intrări ale circuitului. Pentru un circuit logic cu 3 intrări avem 2^3 combinați posibile:

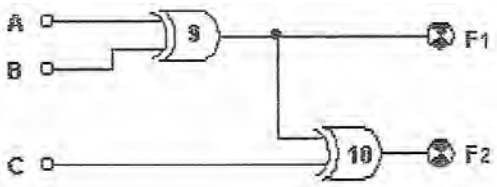


Figura 5.6

4. Notați în tabelul următor starea ieşirilor F_1 şi F_2:

A	**B**	**C**	**F_1**	**F_2**
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

5. Expresiile booleenele pentru ieşirile circuitului vor fi:

F_1 = ...

F_2 = ...

6. Localizați pe placa EB-132 circuitul prezentat în figura 5.7. Realizați toate conexiunile necesare folosind cablurile aflate în dotarea standului de laborator. Nivelurile logice la intrarea unei porți

pot fi ,,0'' sau ,,1''. Cu ajutorul comutatoarelor A, B putem aplica semnale logice la cele două intrări ale circuitului. Pentru un circuit logic cu 2 intrări avem 2^2 combinați posibile:

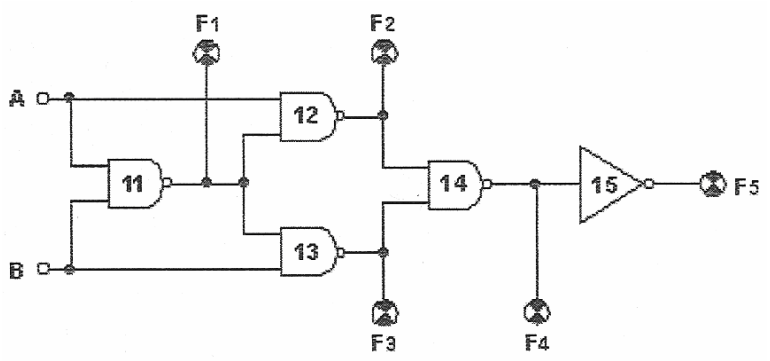


Figura 5.7

7. Notați în tabel următor starea celor 5 ieşiri:

A	**B**	**F_1**	**F_2**	**F_3**	**F_4**	**F_5**
0	0					
0	1					
1	0					
1	1					

8. Expresiile booleenele pentru ieşirile circuitului vor fi:

F_1 = ...

F_2 = ...

F_3 = ...

F_4 = ...

F_5 = ...

9. Dacă la intrarea unei porți ,,SAU-EXCLUSIV NEGAT'' avem ,,0'' logic şi la a doua intrarea un semnal logic oarecare A, ieşirea va semnaliza ?

R:

10. Dacă la intrarea unei porți ,,SAU-EXCLUSIV NEGAT'' avem ,,1'' logic şi la a doua intrarea un semnal logic oarecare A, ieşirea va semnaliza ?

R:

11. Dacă la intrările unei porți ,,SAU-EXCLUSIV NEGAT'' avem nivel logic identic (0 sau 1), ieşirea va semnaliza tot timpul:

R:

12. Dacă la intrările unei porți ,,SAU-EXCLUSIV NEGAT'' avem nivel logic diferit (0 sau 1), ieşirea va semnaliza tot timpul:

R:

13. Să se deseneze schema logică a comparatorului digital pe 2 biți:

R:

14. Să se deseneze schema logică a comparatorului digital pe 4 biți:

R:

15. Precizați două dintre aplicațiile comparatoarelor digitale:

R:

LABORATORUL 6

CODIFICATOARE ŞI DECODIFICATOARE

6.1 OBIECTIVE

După parcurgerea acestui laborator studentul trebuie să reuşească:

1. Determinarea tabelului de adevăr la un codificator;
2. Determinarea tabelului de adevăr la un decodificator;
3. Să proiecteze cu circuitele combinaționale propuse.

6.2 INTRODUCERE TEORETICĂ

6.2.1 Codificatorul

Codificatorul este circuitul logic combinațional la care activarea unei intrări conduce la apariția unui cuvânt de cod la ieşire.

În variantă integrată există codificatorul de adresă prioritar **SN 74148N** (CDB 4148E), care este astfel conceput încât în cazul acționării simultane a mai multor intrări, la ieşire să semnalizeze adresa ieşirii cu prioritatea cea mai mare. De aceea, fiecărei intrări i se atribuie o anumită prioritate, care în exemplul de față creşte cu numărul de ordine al intrări (intrarea 0 va fi cu prioritatea cea mai mică, iar intrarea 7 cu prioritatea cea mai mare). Acest circuit va permite codificarea pe 3 biți a uneia din cele 8 intrări, respectiv a intrării cu prioritatea cea mai mare dintre cele activate.

Schema bloc:

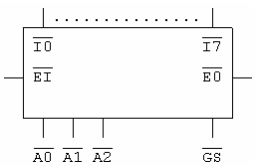


Figura 6.1

Se poate observa că în compoziția circuitului, avem:

- $\overline{I}_0 - \overline{I}_7$ - **intrări** active pe 0.

- $\overline{\overline{EI}}$ - intrare de autorizare a funcționării care trebuie pusă la masă pentru a permite funcționarea.

- $\overline{A}_0, \overline{A}_1, \overline{A}_2$ - ieşiri pe care apare codul negat al intrării cu prioritatea cea mai mare care a fost activată.

- $\overline{E0}$ - ieşire care devine activă (0) când toate intrările sunt inactive.

- $\overline{GS}$ - ieşire care devine activă (0) când cel puțin o intrare este activată.

Tabelul ce ilustrează funcționarea circuitului este prezentat mai jos:

$\overline{\overline{EI}}$	$\overline{I}_0$	$\overline{I}_1$	$\overline{I}_2$	$\overline{I}_3$	$\overline{I}_4$	$\overline{I}_5$	$\overline{I}_6$	$\overline{I}_7$	$\overline{A}_0$	$\overline{A}_1$	$\overline{A}_2$	$\overline{GS}$	$\overline{\overline{EO}}$
1	X	X	X	X	X	X	X	X	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	X	X	X	X	X	X	X	0	0	0	0	0	1
0	X	X	X	X	X	X	0	1	0	0	1	0	1
0	X	X	X	X	X	0	1	1	0	1	0	0	1
0	X	X	X	X	0	1	1	1	0	1	1	0	1
0	X	X	X	0	1	1	1	1	1	0	0	0	1
0	X	X	0	1	1	1	1	1	1	0	1	0	1
0	X	0	1	1	1	1	1	1	1	1	0	0	1
0	0	1	1	1	1	1	1	1	1	1	1	0	1

Astfel: - primul rând – circuit blocat
- al doilea rând – nu avem intrare activă

În mod obişnuit codificatoarele constituie subsisteme ale unor circuite MSI sau LSI (convertoare de cod, ROM, PLA). În majoritatea cazurilor, în aplicații, codificatoarele se utilizează la telecomenzi.

6.2.2 Decodificatorul

Circuitele de decodificare sunt CLC-uri care selectează una sau mai multe ieşiri în funcție de un cuvânt de cod aplicat la intrare.

Scopul principal al unui decodificator este de a ,,decoda'', adică de a recunoaşte o combinație binară particulară care apare la intrările sale, şi de a indica aceasta prin activarea ieşirii corespunzătoare. Vom analiza un decodificator cu n = 2 intrări de adresă şi m = 4 ieşiri.

Schema bloc:

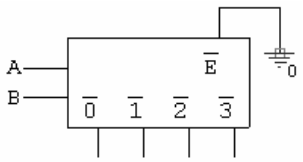


Figura 6.2

Se observă că în compoziția lui, există:

- n **intrări** de adresă, pe care se pune codul în binar al ieşirii pe care vrem să o selectăm;
- o intrare de condiționare a funcționării, $\overline{E}$ care permite funcționarea numai atunci când este pusă la masă;
- 2^n **ieşiri** care se notează negate pentru a sugera faptul că ieşirea selectată este pe 0 în timp ce celelalte sunt pe 1.

Tabelul de funcționare:

$\overline{E}$	A	B	$\overline{0}$	$\overline{1}$	$\overline{2}$	$\overline{3}$
1	X	X	1	1	1	1
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0

- Circuit blocat

$$\overline{\overline{0}} = P_0 = \overline{A} \cdot \overline{B}; \overline{0} = \overline{P}_0 = \overline{\overline{A} \cdot \overline{B}}$$

$$\overline{\overline{1}} = P_1 = \overline{A} \cdot B; \overline{1} = \overline{P}_1 = \overline{\overline{A} \cdot B}$$

$$\overline{\overline{2}} = P_2 = A \cdot \overline{B}; \overline{2} = \overline{P}_2 = \overline{A \cdot \overline{B}}$$

$$\overline{\overline{3}} = P_3 = A \cdot B; \overline{3} = \overline{P}_3 = \overline{A \cdot B}$$

Din tabelul de funcționare rezultă că funcțiile care descriu ieşirile sunt constituienți ai unității (mintermeni) ai unei funcții de două variabile. În figura 6.3 este prezentată schema logică a unui decodificator de adresă.

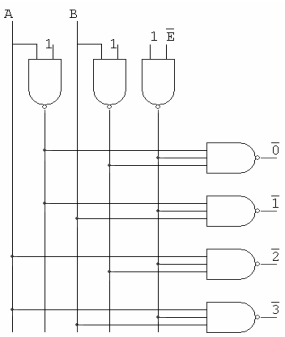


Figura 6.3

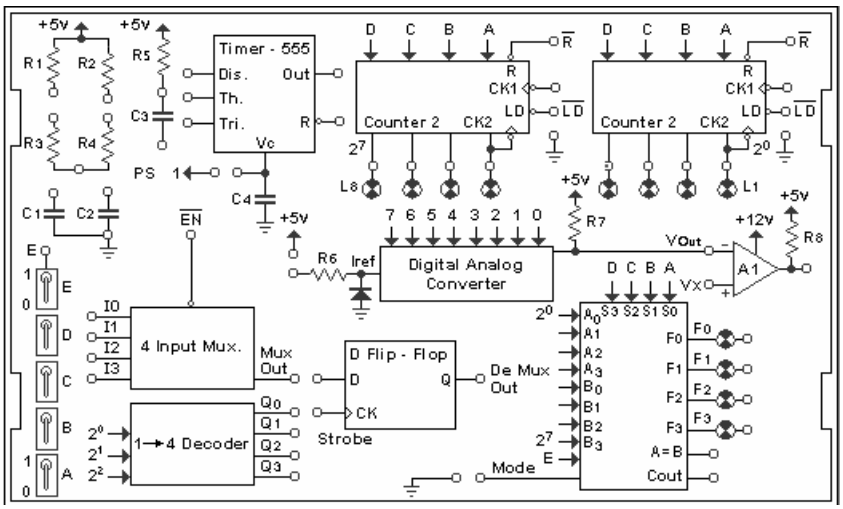
6.3 PARTEA PRACTICĂ

6.3.1 Obiective

1. Determinarea funcționării un ,,Codificatorului prioritar’’;
2. Completarea tabelului de adevăr pentru un ,,Decodificator’’.

6.3.2 Echipament necesar

1. un cadru de bază PU – 2000
2. o placă EB – 134



Placa EB – 134

6.3.3 Efectuarea lucrării

1. În ce condiții poate funcționa un ,,Decodificator’’?

R:

2. Enumerați două dintre aplicațiile ,,Decodificatorului’’:

R:

3. Localizați circuitul de decodare pe placa EB-134. Intrările circuitului de decodare sunt legate la ieșirile unui numărător pe 4 biți. Intrările de

selecție I0, I1 sunt conectate la ieşirile 2^1, 2^2 ale numărătorului 1, iar intrarea EN este conectata la ieşirea 2^0 a numărătorului 1.

4. În prima parte a experimentului, numărătorul este folosit ca şi un registru de stocare ce poate fi încărcat cu ajutorul comutatoarelor A, B, C şi E. Comutatoarele A, B şi C sunt folosite pentru a controla intrările EN, I0 respectiv I1 ale decodorului. Comutatorul E se leagă la intrarea LD a numărătorului 1 si va controla încărcarea acestuia.

5. Setați comutatorul E pe 1.

6. Setați comutatoarele A, B, C pe 0.

7. Pentru a încărca numărătorul comutați comutatorul E pe 0 şi înapoi pe 1. Acum aveți încărcată în numărător valoarea 000.

8. Verificați starea logică a ieşirilor decodorului. Înregistrați valorile în tabel.

9. Repetați paşii anteriori pentru toate stările prezentate în tabel şi completați în tabel stările logice ale ieşirilor. Acest tabel reprezintă tabelul de adevăr al decodificatorului 1 din 4.

$I1(2^2)$ C	$I0(2^1)$ B	$EN(2^0)$ A	Q3	Q2	Q1	Q1
0	0	0				
1	0	0				
0	1	0				
1	1	0				
0	0	1				
1	0	1				
0	1	1				
1	1	1				

10. Descrieți modul de operare şi tabelul de adevăr al decodificatorului:
R:

11. Cunoscând funcționarea codificatorului prioritar de 8 intrări 74148, să se explice funcționarea schemei din figura 6.4:

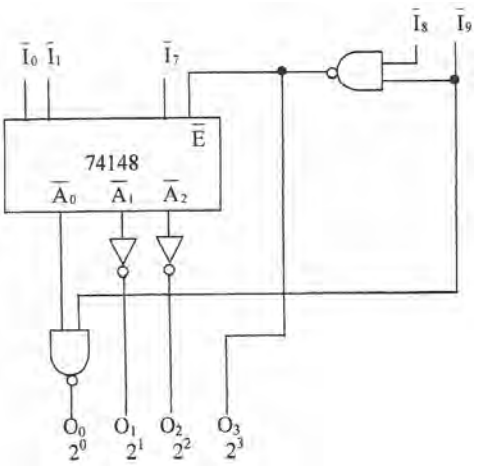

$\overline{I}_8$ $\overline{I}_9$
$\overline{I}_0$ $\overline{I}_1$
$\overline{I}_7$
$\overline{E}$
74148
$\overline{A}_0$ $\overline{A}_1$ $\overline{A}_2$
O_0 O_1 O_2 O_3
2^0 2^1 2^2 2^3

Figura 6.4

LABORATORUL 7

CONVERTOARE DE COD

7.1 OBIECTIVE

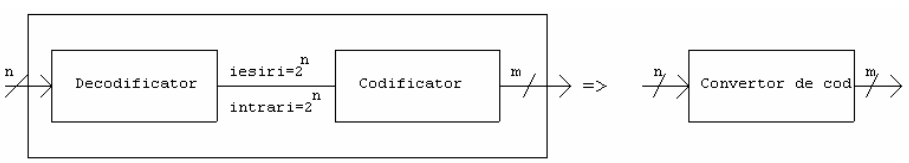
După parcurgerea acestui laborator studentul trebuie să reuşească:

1. Determinarea tabelului de adevăr la convertoare de cod;
2. Cunoască funcționarea acestui circuit.

7.2 INTRODUCERE TEORETICĂ

Convertoarele de cod sunt CLC-uri care pentru un cuvânt de cod aplicat la intrare generează un alt cuvânt la ieşire, deci realizează trecerea dintr-un cod în altul. În principiu, organizarea unui convertor de cod se bazează pe un tabel care exprimă corespondența dintre cuvintele de intrare şi cele de ieşire, corespondență care trebuie să fie unu-la-unu. Codul de intrare poate fi considerat un argument, în timp ce codul de ieşire este o anumită funcție de acest argument.

Ca şi organizare convertorul de cod este alcătuit dintr-o pereche decodificator-codificator. Codul de intrare de n biți este întâi aplicat nivelului de decodificare rezultând o singură ieşire activă din cele 2^n posibile, apoi aceasta este aplicată nivelului de codificare care va genera un alt cod.



Schema bloc a unui convertor de cod

Figura 7.1

7.3 PARTEA PRACTICĂ

7.3.1 Obiective

1. Determinarea tabelului de adevăr pentru ,,Convertoare de cod’’;
2. Completarea tabelului de adevăr pentru un ,, Convertoare de cod’’.

7.3.2 Echipament necesar

1. Utilizarea programului Multisim pentru simularea câtorva circuite logice.

7.3.3 Efectuarea lucrării

1. Să se realizeze circuitul prezentat în figura 7.2:

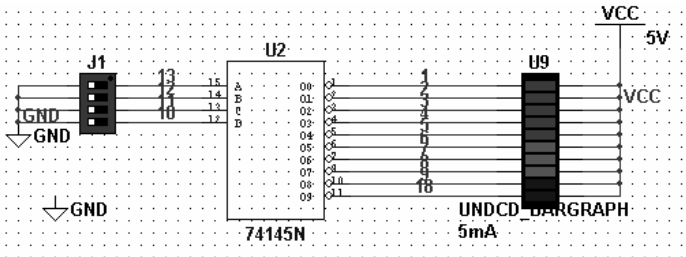


Figura 7.2

2. Completați tabelul de adevăr corespunzător funcționalității circuitului prezentat în figura 7.2:

A	B	C	D	O0	O1	O2	O3	O4	O5	O6	O7	O8	O9

3. Să se realizeze circuitul prezentat în figura 7.3:

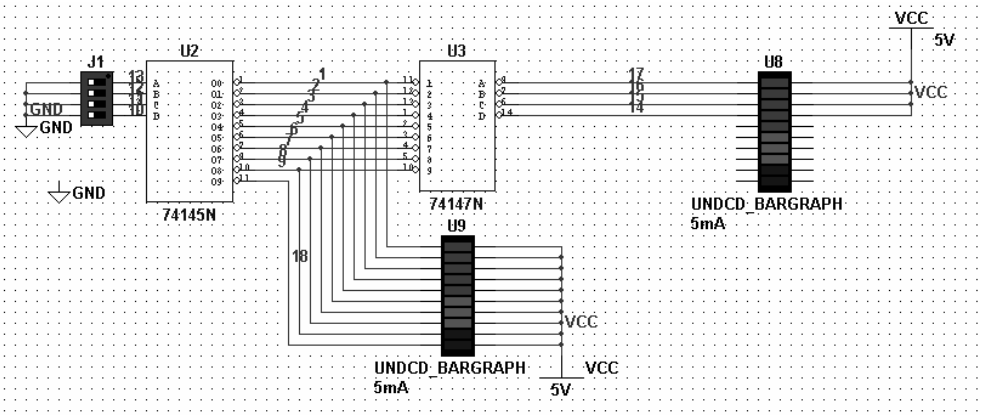


Figura 7.3

4. Completați tabelul de adevăr corespunzător funcționalității circuitului prezentat în figura 7.3:

Cod Intrare				Cod intermediar										Cod Ieşire			
A	B	C	D	O0	O1	O2	O3	O4	O5	O6	O7	O8	O9	A	B	C	D

5. În figura 7.4 s-a prezentat o schemă completă pentru aplicația propusă în acest laborator:

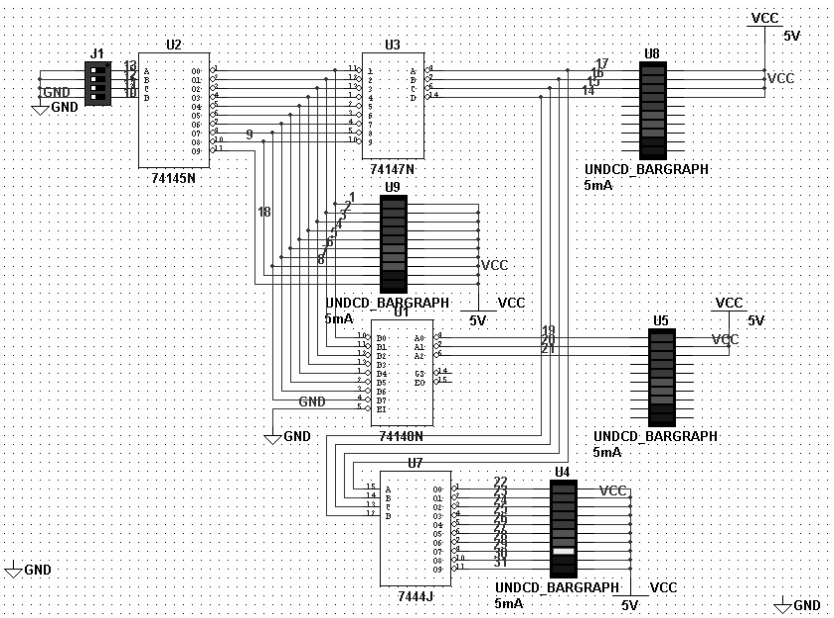


Figura 7.4

6. Completați tabelul de adevăr corespunzător:

Cod intermediar										Cod Ieşire		
O0	**O1**	**O2**	**O3**	**O4**	**O5**	**O6**	**O7**	**O8**	**O9**	**A0**	**A1**	**A2**

Cod intermediar				Cod Ieşire									
A	**B**	**C**	**D**	**O0**	**O1**	**O2**	**O3**	**O4**	**O5**	**O6**	**O7**	**O8**	**O9**

LABORATORUL 8

MULTIPLEXOARE ŞI DEMULTIPLEXOARE

8.1 OBIECTIVE

După parcurgerea acestui laborator studentul trebuie să reuşească:

1. Determinarea tabelului de adevăr la un multiplexor;
2. Determinarea tabelului de adevăr la un demultiplexor;
3. Să proiecteze cu circuitele combinaționale propuse.

8.2 INTRODUCERE TEORETICĂ

8.2.1 Multiplexorul

Acest tip de circuit este folosit pentru a **selecta** una dintre cele n intrări de date şi de a **permite** transferul de date între intrarea selectată şi ieşirea multiplexorului. Multiplexorul (MUX) are două categorii de intrări : intrări de selecție şi intrări de date.

Am ales spre analiză multiplexorul de 4 căi (**SN 74153N**).

Schema bloc:

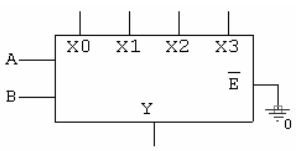


Figura 8.1

Astfel avem:

- n **intrări** de adresă pe care se pune codul în binar al intrării de date pe care vrem să o selectăm;
- 2^n intrări de date;
- o intrare de condiționare a funcționării $\overline{E}$ care autorizează funcționarea când este pusă la masă.
- o singură **ieşire** y.

Observație: Există circuite care au şi ieşire $\overline{y}$ sau numai $\overline{y}$.

Tabelul de adevăr:

$\overline{E}$	A	B	X_0	X_1	X_2	X_3	y	
1	X	X	X	X	X	X	0	- circuit blocat
0	0	0	0	X	X	X	0	Sel. X_0
0	0	0	1	X	X	X	1	
0	0	1	X	0	X	X	0	Sel. X_1
0	0	1	X	1	X	X	1	
0	1	0	X	X	0	X	0	Sel. X_2
0	1	0	X	X	1	X	1	
0	1	1	X	X	X	0	0	Sel. X_3
0	1	1	X	X	X	1	1	

Schema logică este prezentată în figura 8.2:

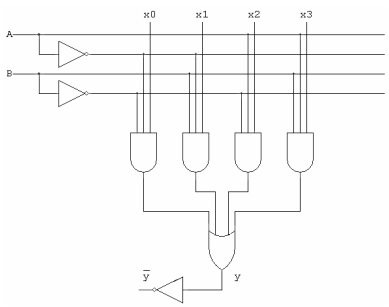


Figura 8.2

Multiplexorul digital poate fi utilizat în tehnica telecomunicațiilor pentru transmiterea unui număr mare de semnale digitale pe o singură linie. Se mai utilizează în implementarea funcțiilor logice, pentru conversia datelor paralel/serie, realizarea sistemelor de transmisie a datelor pe un singur canal.

8.2.2 Demultiplexorul

Demultiplexoarele (DMUX) sunt CLC-uri care transmit datele de pe o unică intrare la una dintre ieşiri, selecția ieşirii realizându-se cu ajutorul unui cuvânt de selecție aplicat la intrarea de selecție a demultiplexorului. Practic demultiplexorul este un decodificator care are în plus o intrare de date notată I. El distribuie semnalul (0 sau 1) de pe acea intrare la una din ieşirile selectate prin adresa corespunzătoare.

Ne vom îndrepta atenția asupra unui demultiplexor de 4 căi.

Schema bloc:

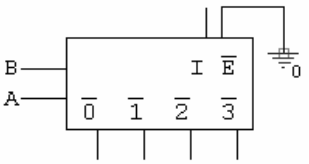


Figura 8.3

Circuitul conține:

- n **intrări** de adresă;
- o intrare de date I, comună tuturor ieşirilor;
- o intrare de condiționare a funcționării $\overline{E}$, care permite funcționarea numai când este pusă la masă;
- 2^n **ieşiri**.

Observație: ca circuit integrat există DMUX-ul ce poate fi folosit ca DCD de adresă dacă nu se foloseşte intrarea de date, legată în acest caz împreună cu intrarea de condiționare a funcționării la masă. Schema logică este ca la orice decodificator de adresă, având în plus intrarea I comună.

Cu ajutorul **tabelului de funcționare** putem observa comportamentul circuitului.

$\overline{E}$	I	A	B	$\overline{0}$	$\overline{1}$	$\overline{2}$	$\overline{3}$	
1	X	X	X	1	1	1	1	- circuit blocat
0	0	0	0	0	1	1	1	- Sel. $\overline{0}$
0	1	0	0	1	1	1	1	
0	0	0	1	1	0	1	1	- Sel. $\overline{1}$
0	1	0	1	1	1	1	1	
0	0	1	0	1	1	0	1	- Sel. $\overline{2}$
0	1	1	0	1	1	1	1	
0	0	1	1	1	1	1	0	- Sel. $\overline{3}$
0	1	1	1	1	1	1	1	

Ca şi circuite integrate există demultiplexoarele (**SN 74154N, SN 74155N, SN 74156N**), iar în varianta românească avem (CDB 4154E, CDB 4155E). Acest tip de circuit poate fi întâlnit şi în stațiile radio.

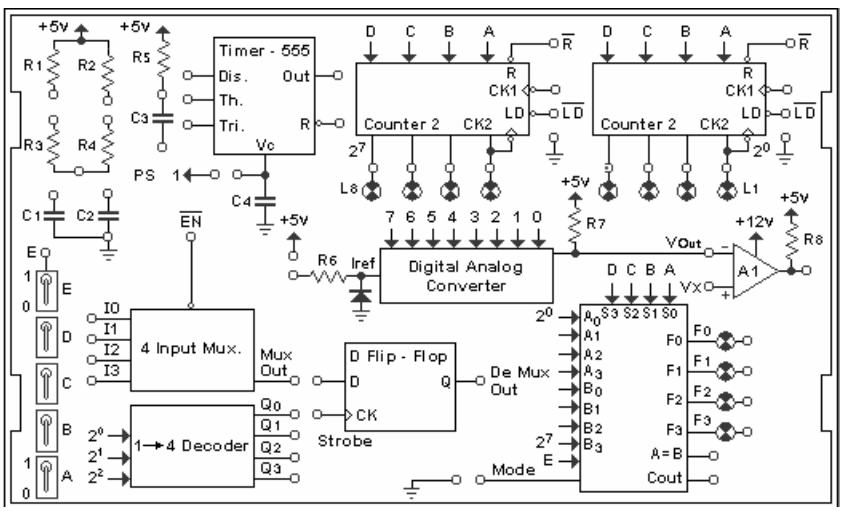
8.3 PARTEA PRACTICĂ

8.3.1 Obiective

1. Completarea tabelului de adevăr pentru un ,,Multiplexor’’;
2. Analiza circuitului 555 cu ajutorul circuitului de multiplexare.

8.3.2 Echipament necesar

1. un cadru de bază PU – 2000
2. o placă EB – 134



Placa EB – 134

8.3.3 Efectuarea lucrării

1. Localizați circuitul de multiplexare pe placa EB-134. Intrările de selecție ale multiplexorului sunt legate la ieşirile 2^2, 2^1 ale unui numărător pe 4 biți.

2. Conectați intrarea EN a multiplexorului la masă.

3. Setați comutatorul E pe 1.

4. Setați comutatoarele B, C pe 0.

5. Pentru a încărca numărătorul comutați comutatorul E pe 0 şi înapoi pe 1. Acum aveți încărcată în numărător valoarea 00.

6. Verificați care dintre cele 4 intrări de date ale multiplexorului este conectată la ieşirea acestuia. Pentru aceasta conectați pe rând intrările la masă şi determinați care dintre cele 4 intrări controlează ieşirea multiplexorului.

7. Repetați paşii anteriori pentru toate stările prezentate în tabel şi completați tabelul de adevăr a multiplexorului.

2^2 (C)	2^1 (B)	Intrarea selectată
0	0	
1	0	
0	1	
1	1	

8. Ce fel de intrări găsim la un ,,Multiplexor'' ?

R:

9. Descrieți modul de operare şi tabelul de adevăr al multiplexorului:

R:

10. În continuare vom realiza lucrarea de laborator în modul dinamic de operare. În modul dinamic de operare vom folosi secvențe de impulsuri ca şi date de intrare, nu valori logice statice ca şi în măsurătorile anterioare.

11. Conectați circuitul 555 ca şi un oscilator astabil (vezi figura 8.4). Folosiți R2, R4 şi C2 pentru a înlocui Ra, Rb respectiv C.

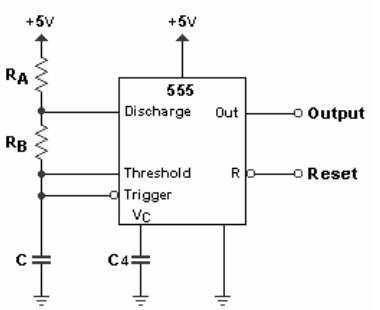


Figura 8.4

12. Conectați ieşirea circuitului 555 la intrarea clock numărătorului 1.

13. Conectați ieşirea Qd (2^3) la intrarea de clock a numărătorului 2.

14. Folosiți osciloscopul pentru a observa formele de undă corespunzătoare ieşirilor 2^2, 2^1, 2^0 ale numărătorului 1 şi formele de undă corespunzătoare ieşirilor Q3, Q2, Q1, Q0 ale circuitului de decodificare. Folosiți ca şi semnal de sincronizare (trigger) semnalul de la ieşirea 2^0 a numărătorului 1.

15. Completați diagrama următoare.

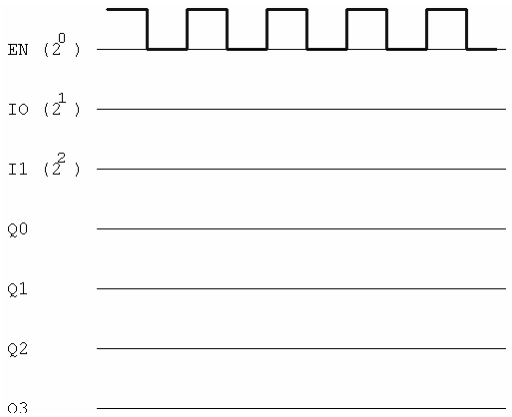


Figura 8.5

16. Conectați ieşirea 2^4 a numărătorului 2 la intrarea I0 a circuitului de multiplexare.

17. Conectați intrarea EN a circuitului de multiplexare la masă.

18. Conectați ieşirea Q0 a circuitului de decodificare la intrarea de clock a bistabilului D prezent pe placa EB 134.

19. Conectați ieşirea multiplexorului la intrarea D a bistabilului D.

20. Conectați CH1 a osciloscopului la ieşirea Q0 a circuitului de decodificare.

21. Conectați CH2 a osciloscopului la ieşirea circuitului de multiplexare.

22. Completați diagrama 2 pe o perioadă de 8 pulsuri a semnalului Q0.

23. Conectați CH2 a osciloscopului la ieşirea Q a bistabilului D.

24. Completați în diagrama 2 forma de undă corespunzătoare.

25. Conectați CH2 a osciloscopului la ieşirea 2^4 a numărătorului 2.

26. Completați în diagrama 2 forma de undă corespunzătoare.

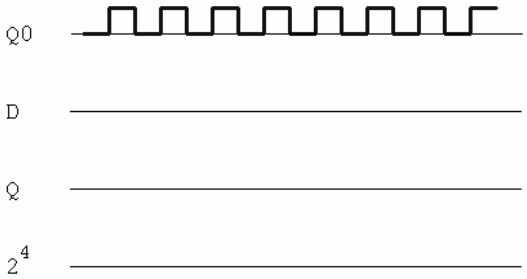


Figura 8.6

LABORATORUL 9

SUMATORUL ŞI UNITATEA LOGICĂ ŞI ARITMETICĂ

9.1 OBIECTIVE

După parcurgerea acestui laborator studentul trebuie să poată:

1. Înțelege funcționarea unui ,,Semisumator'' / ,,Sumator'';
2. Înțelege funcționarea unei ,,Unități logice şi aritmetice''.

9.2 INTRODUCERE TEORETICĂ

9.2.1 Sumatorul

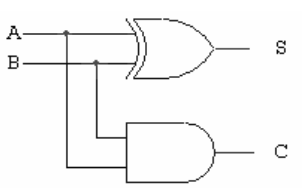
Sumatorul este circuitul logic combinațional care asigură efectuarea operațiilor aritmetice şi logice într-un sistem de calcul. Pentru a ajunge la conceptul de sumator trebuie definit însă termenul de semisumator.

Semisumatorul este CLC-ul care serveşte la efectuarea sumei a două numere binare, de câte un bit, fără a ține seama de transportul de la bitul cu semnificația imediat următoare.

A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

$$S = \overline{A}B + A\overline{B} = (A + B) \cdot (\overline{A} + \overline{B})$$

C=A*B



Semisumator

Figura 9.1

Sumatorul complet este circuitul combinațional care efectuează suma a două numere binare de câte un bit luând în considerare şi transportul de la bitul cel mai puțin semnificativ. Schema logică va fi obținută prin combinarea a două semisumatoare. Aici cu C_{i-1} s-a notat transportul de la bitul de rang imediat inferior, iar cu C_i transportul către bitul de rang imediat superior. Tabelul de adevăr în acest caz este prezentat mai jos, împreună cu schema logică.

A_i	B_i	C_{i-1}	S_i	C_i
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

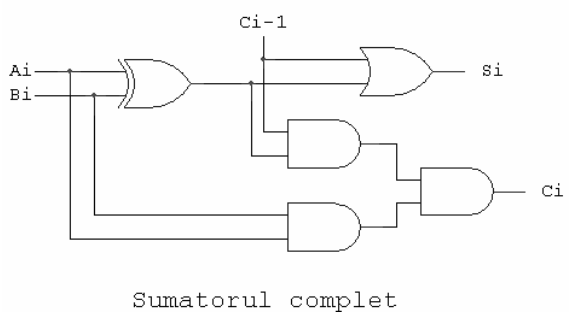


Figura 9.2

9.2.2 Unitatea logică şi aritmetică

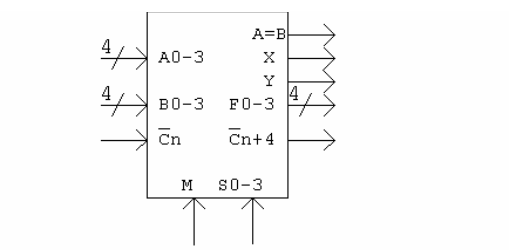
Odată cu creşterea densității de integrare a circuitelor digitale, funcțiile aritmetice şi logice se execută în circuite integrate complexe numite unități aritmetico-logice, (**A**rithmetic and **L**ogic **U**nit- **ALU**). Aceste circuite se pot folosi ca atare, sau se vor regăsi ca elemente componente (de execuție) ale unor structuri programabile şi mai complexe (procesoare).

Structura internă a unei unități ALU cuprinde în esență următoarele tipuri de circuite:

- un circuit logic de intrare, comandat, care efectuează operații logice elementare asupra operanzilor;
- un sumator binar paralel cu calcul anticipat al transportului;
- circuite de comparare.
- un generator de transport anticipat;

O unitate ALU are următoarele intrări şi ieşiri tipice:

- intrări operanzi (A_0...A_3, B_0...B_3);
- ieşiri funcție (F_0...F_3);
- intrare de transport (C_n);
- ieşire de transport (C_{n+4});
- ieşiri pentru calculul anticipat al transportului (X,Y);
- ieşiri indicatoare de egalitate între operanzi (A = B);
- intrări de comandă;
- comanda modului (M cu M = 0 pentru aritmetic, M = 1 pentru logic);
- selecția funcției (S_0...S_3).



Intrari si iesiri tipice pentru un ALU

Figura 9.3

Ca şi circuit integrat este circuitul **SN 74181N**, care realizează 16 funcții aritmetice şi 16 logice. Prin programarea circuitului, putem comanda succesiunea de operații necesare unei anumite prelucrări. Unitățile aritmetice pot fi conectate în cascadă pentru a putea prelucra operatori de lungime mai mare decât 4 biți.

În cazul conectării în cascadă a mai multor circuite ALU (74181), trebuie folosit şi un circuit de calcul anticipat al transportului între celule (SN 74182N) pentru a asigura noului ALU astfel realizat o viteză mare de lucru.

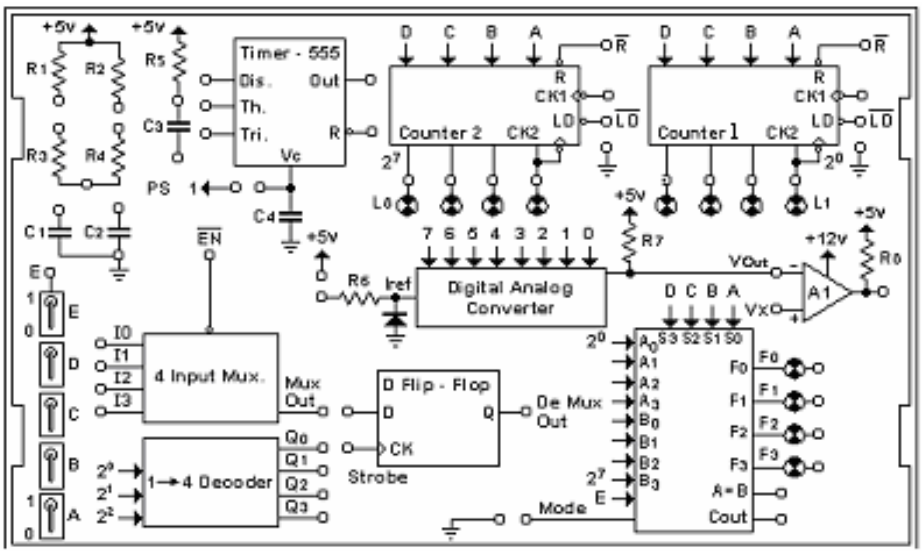
9.3 PARTEA PRACTICĂ

9.3.1 Obiective

1. Studiul funcționării unui ALU de tipul 74LS181

9.3.2 Echipament necesar

1. un cadru de bază PU – 2000
2. o placă EB – 134



Placa EB – 134

3. În cadrul acestei lucrări de laborator, numărătoarele Counter1 şi Counter2 vor fi folosite ca şi registre de stocare pentru a stoca datele de intrare pentru intrările A şi B ale unității ALU. Counter1 va furniza date pentru intrarea A, iar Counter2 va furniza date pentru intrarea B. Încărcarea datelor în Counter1 sau Counter2 se face cu ajutorul comutatoarelor A, B, C, D astfel: se setează cu ajutorul comutatoarelor cei 4 biți corespunzători datei de intrare (A – LSB, D – MSB), iar pentru a stoca data respectivă în numărător se conectează intrarea LD a numărătorului respectiv la masă timp de o secundă. După ce ambele date de intrare sunt stocate în Counter1 respectiv Counter2, comutatoarele A, B, C, D vor fi folosite ca intrări de selecție pentru a selecta operația pe care dorim sa o efectueze unitatea ALU.

9.3.3 Efectuarea lucrării

1. În prima parte a lucrării de laborator se vor studia operațiile logice pe care le poate efectua unitatea ALU 74LS181. Pentru aceasta se setează unitatea ALU pe modul logic de lucru prin setarea pe 1 logic a intrării MODE a unității ALU . Datorită faptului ca placa EB-134 , prin construcție, prezintă a rețea de rezistoare pull-up care conectează intern intrare MODE la 5V, pentru a seta unitatea ALU în modul logic de lucru se lasă intrarea MODE neconectată.

2. Se va testa funcționarea unității ALU conform datelor prezentate în tabelului 10.1. Paşi necesari efectuării primei operații sunt prezentați în continuare

3. Se încarcă data de intrare pentru intrarea A în Counter1 astfel:
   a. Se setează comutatoarele D=1, C=0, B=0, A=1
   b. Se conectează intrarea LD, corespunzătoare lui Counter1, la masă timp de 0 secundă

4. Se încarcă data de intrare pentru intrarea B în Counter2 astfel:
   a. Se setează comutatoarele D=0, C=1, B=1, A=1
   b. Se conectează intrarea LD, corespunzătoare lui Counter2, la masă timp de 0 secundă

5. Se setează operația dorită cu ajutorul comutatoarelor A, B, C, D (în acest caz avem operația de transfer F= A*)
   a. Se setează comutatoarele D=0, C=0, B=0, A=0

6. Se urmărește starea ieşirilor cu ajutorul unui multimetru digital sau cu ajutorul osciloscopului aflat în dotarea standului de laborator.

7. Se înregistrează starea ieşirilor în tabel .

8. În tabelul 7.1, pentru fiecare operație sunt prezentate 3 seturi de date de intrare. După introducerea fiecărui set de date se va identifica operație efectuată de către unitatea ALU. Dacă studentul nu poate identifica , cu ajutorul celor 3 seturi de date de intrare, operația efectuată va introduce seturi de date de intrare suplimentare.

9. Se repetă paşii anteriori pentru toate datele de intrare prezentate în tabel.

S				B				A				F				Operație
S3	S2	S1	S0	B3	B2	B1	B0	A3	A2	A1	A0	F3	F2	F1	F0	
0	0	0	0	0 1 0	1 0 0	1 0 1	1 1 1	1 0 1	0 0 1	0 1 1	1 1 0					
0	0	0	1	1 1 0	1 1 0	0 1 0	0 0 1	0 1 0	0 1 0	0 0 1	0 0 1					
0	0	1	1	1 0 1	0 1 1	1 1 1	0 0 0	1 0 0	1 0 1	0 1 1	0 0 0					
0	1	0	0	0 1 0	1 0 0	1 1 0	0 1 1	0 1 0	0 1 1	1 1 1	1 0 1					
0	1	0	1	1 0 0	1 1 0	0 0 0	0 1 0	0 1 1	0 1 0	0 1 0	1 0 1					
0	1	1	0	1 1 1	0 1 0	0 0 1	1 0 0	1 0 1	1 1 0	0 1 0	0 0 0					
1	0	0	1	1 1 1	0 0 1	0 1 0	1 0 0	1 0 1	1 1 0	0 1 0	0 0 0					
1	0	1	0	0 1 1	0 0 0	1 1 0	1 0 1	1 0 0	1 0 1	1 0 0	1 0 1					
1	0	1	1	1 0 1	0 1 0	0 1 1	1 1 1	0 1 1	0 0 1	1 0 1	1 1 0					
1	1	0	0	1 1 1	1 0 1	0 0 1	0 1 0	0 1 0	0 1 1	0 0 0	0 0 0					
1	1	1	0	1 0 1	0 0 1	1 0 0	0 0 0	0 1 1	0 0 0	0 1 0	0 1 1					
1	1	1	1	1 1 1	1 0 0	0 1 0	0 0 1	0 1 0	1 1 1	1 0 0	0 0 1					

Tabelul 9.1

10. În continuarea se vor studia operațiile aritmetice pe care le poate efectua unitatea ALU 74LS181. Pentru aceasta se setează unitatea ALU pe modul aritmetic de lucru prin setarea pe 0 logic a intrării MODE a unității ALU. Conectați intrarea MODE la masă.

11. Pentru modul aritmetic de lucru, comutatorul E este folosit pentru a controla intrarea de carry a unității ALU (Cin). Atenție! Intrarea Cin este o intrarea negată deci este activă pe 0 logic. Setați comutatorul E=1.

12. Se va testa funcționarea unității ALU conform datelor prezentate în tabelului 10.2. Paşi necesari efectuării primei operații sunt prezentați în continuare

13. Se încarcă data de intrare pentru intrarea A în Counter1 astfel:
    a. Se setează comutatoarele D=1, C=0, B=0, A=1
    b. Se conectează intrarea LD, corespunzătoare lui Counter1, la masă timp de 0 secundă
14. Se încarcă data de intrare pentru intrarea B în Counter2 astfel:
    a. Se setează comutatoarele D=0, C=1, B=1, A=1
    b. Se conectează intrarea LD, corespunzătoare lui Counter2, la masă timp de 0 secundă

15. Se setează operația dorită cu ajutorul comutatoarelor A,B,C,D (în acest caz avem operația de transfer F=A)
    a. Se setează comutatoarele D=0, C=0, B=0, A=0

16. Se urmăreşte starea ieşirilor cu ajutorul unui multimetru digital sau cu ajutorul osciloscopului aflat în dotarea standului de laborator.

17. Se înregistrează starea ieşirilor în tabel.

18. În tabelul 10.2, pentru fiecare operație sunt prezentate 3 seturi de date de intrare. După introducerea fiecărui set de date se va identifica operație efectuată de către unitatea ALU. Dacă studentul nu poate identifica , cu ajutorul celor 3 seturi de date de intrare, operația efectuată va introduce seturi de date de intrare suplimentare.

19. Se repetă paşii anteriori pentru toate datele de intrare prezentate în tabel.

S				B				A				F				Operație
S3	S2	S1	S0	B3	B2	B1	B0	A3	A2	A1	A0	F3	F2	F1	F0	
0	0	0	0	0 1 0	1 0 0	1 0 1	1 1 1	1 0 1	0 0 1	0 1 1	1 1 0					
0	0	0	1	1 1 0	1 1 0	0 1 0	0 0 1	0 1 0	0 1 0	0 0 1	0 0 1					
0	0	1	1	1 0 1	0 1 1	1 1 1	0 0 0	1 0 0	1 0 1	0 1 1	0 0 0					
0	1	0	0	0 1 0	1 0 0	1 1 0	0 1 1	0 1 0	0 1 1	1 1 1	1 0 1					
0	1	0	1	1 0 0	1 1 0	0 0 0	0 1 0	0 1 1	0 1 0	0 1 0	1 0 1					
0	1	1	0	1 1 1	0 1 0	0 0 1	1 0 0	1 0 1	1 1 0	0 1 0	0 0 0					
1	0	0	1	1 1 1	0 0 1	0 1 0	1 0 0	1 0 1	1 1 0	0 1 0	0 0 0					
1	0	1	0	0 1 1	0 0 0	1 1 0	1 0 1	1 0 0	1 0 1	1 0 0	1 0 1					
1	0	1	1	1 0 1	0 1 0	0 1 1	1 1 1	0 1 1	0 0 1	1 0 1	1 1 0					
1	1	0	0	1 1 1	1 0 1	0 0 1	0 1 0	0 1 0	0 1 1	0 0 0	0 0 0					
1	1	1	0	1 0 1	0 0 1	1 0 0	0 0 0	0 1 1	0 0 0	0 1 0	0 1 1					
1	1	1	1	1 1 1	1 0 0	0 1 0	0 0 1	0 1 0	1 1 1	1 0 0	0 0 1					

Tabelul 9.2

20. Intrarea de transport Cin este folosită în cazul conectării în serie a mai multor unități ALU, pentru a efectua operații cu date de intrare pe mai mult de 4 biți. În continuare se va studia funcționarea unității ALU în cazul în care avem bit de transport.

21. Setați comutatorul E = 0

22. Se va testa funcționarea unității ALU conform datelor prezentate în tabelului 10.3. Paşi necesari efectuării primei operații sunt prezentați în continuare

23. Se încarcă data de intrare pentru intrarea A în Counter1 astfel:
    a. Se setează comutatoarele D=1, C=0, B=0, A=1
    b. Se conectează intrarea LD, corespunzătoare lui Counter1, la masă timp de 0 secundă

24. Se încarcă data de intrare pentru intrarea B în Counter2 astfel:
    a. Se setează comutatoarele D=0, C=1, B=1, A=1
    b. Se conectează intrarea LD, corespunzătoare lui Counter2, la masă timp de 0 secundă

25. Se setează operația dorită cu ajutorul comutatoarelor A, B, C, D (în acest caz avem operația de transfer F=A)
    a. Se setează comutatoarele D=0, C=0, B=0, A=0

26. Se urmăreşte starea ieşirilor cu ajutorul unui multimetru digital sau cu ajutorul osciloscopului aflat în dotarea standului de laborator.

27. Se înregistrează starea ieşirilor în tabel.

28. În tabelul 10.3, pentru fiecare operație sunt prezentate 3 seturi de date de intrare. După introducerea fiecărui set de date se va identifica operație efectuată de către unitatea ALU. Dacă studentul nu poate identifica, cu ajutorul celor 3 seturi de date de intrare, operația efectuată va introduce seturi de date de intrare suplimentare.

29. Se repetă paşii anteriori pentru toate datele de intrare prezentate în tabel.

S				B				A				F				Cout	Operație
S3	S2	S1	S0	B3	B2	B1	B0	A3	A2	A1	A0	F3	F2	F1	F0		
1	0	0	1	0 1 1 0	0 0 1 1	0 1 1 1	0 0 1 1	0 0 0 0	0 1 0 1	0 1 0 1	0 1 0 1						
0	1	1	0	0 1 1 0	0 1 1 1	0 1 0 1	0 1 0 0	0 1 0 1	0 1 1 1	0 1 1 0	0 1 0 0						

Tabelul 9.3

LABORATORUL 10

DETECTORUL ŞI GENERATORUL DE PARITATE

10.1 OBIECTIVE

După parcurgerea acestui laborator studentul trebuie să reuşească:

1. Determinarea tabelului de adevăr pentru detectorul şi generatorul de paritate;
2. Cunoaşterea funcționării acestui circuit.

10.2 INTRODUCERE TEORETICĂ

În procesul transmiterii informațiilor numerice pot apărea erori. O metodă simplă de detectare a acestora constă în utilizarea codurilor detectoare de erori (cu verificare la paritate sau imparitate). Aceste coduri se bazează pe faptul că la emisie se formează un nou cuvânt de cod prin adăugarea unui bit suplimentar la cei existenți, astfel încât numărul de cifre de 1 din cuvântul nou format să fie par (sau impar). La recepție se verifică paritatea sau imparitatea numărului de cifre de 1 din cuvântul recepționat care trebuie să corespundă cu cel de la emisie.

Detectoarele de paritate au rolul de a determina paritatea sau imparitatea numărului de variabile de intrare egale cu 1. Detectorul elementar de paritate (pentru cuvinte de doi biți) este circuitul de anticoincidență (sumatorul modulo 2). Proprietatea acestui circuit (SAU-EXCLUSIV) este de a răspunde prin 1 logic când una din intrări este pe 1 şi cea de a doua pe 0 (imparitate), sau prin 0 logic când ambele intrări sunt pe 1, respectiv 0 (paritate).

Cu patru astfel de porți se poate realiza schema unui generator sau detector de paritate pentru cuvinte de 4 biți, ca în figura 10.1:

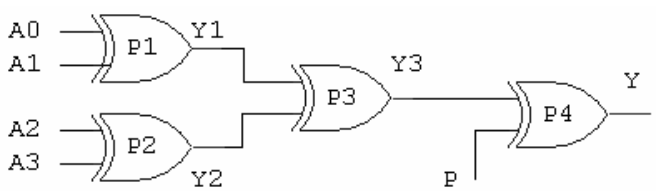


Figura 10.1

Poarta P_1 verifică paritatea biților A_0 şi A_1, iar poarta P_2 paritatea biților A_2 şi A_3. Cele două rezultare reprezintă intrări în poarta P_3, pe ieşirea Y_3 a acestuia apare nivelul logic 1 dacă cuvântul $A_0A_1A_2A_3$ conține un număr impar de cifre de 1 şi nivelul logic 0 în caz contrar. Introducerea porții P_4 în schemă împreună cu comanda P asigură pe ieşirea Y nivelul logic 1 sau 0 în funcție de numărul unităților din cuvântul de cod şi comanda P aplicată după cum urmează:

- pentru P = 0 avem Y = Y_3 şi circuitul este generator de paritate (pe ieşirea Y apare nivelul logic 1 dacă numărul unităților din cuvântul de la intrare este impar);
- pentru P = 1 avem $Y = \overline{Y}_3$ şi circuitul este un generator de imparitate (pe ieşirea Y apare nivelul logic 1 când numărul de unități din cuvântul de intrare este par).

Utilizarea circuitului într-o schemă de transmisie arată ca în figura 10.2:

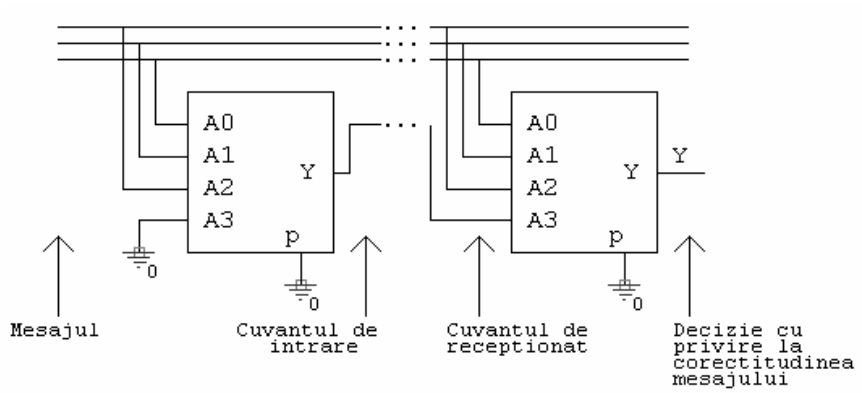


Figura 10.2

Se observă că la emisie la cei 4 biți informaționali se adaugă bitul de paritate formând cuvântul de cod transmis. Primul bloc din figură lucrează ca generator de paritate.

La punctul de recepție cei 4 biți ai cuvântului de cod recepționat sunt introduşi într-un circuit de acelaşi tip, care de această dată funcționează ca detector de paritate, validând sau nu prin bitul său de paritate recepționarea cuvântului de cod.

Un detector de paritate pentru 8 variabile de intrare se obține folosind două circuite identice cu cel din prima figură şi aplicând ieşirile acestora unei porți SAU-EXCLUSIV. La ieşirea porții se obține funcția egală cu 1 în caz de imparitate şi 0 în caz de paritate. Prin dublarea

circuitului astfel obținut și atașarea a încă unei porți se obține un detector de paritate pentru 16 biți, și așa mai departe.

Tot în cazul unor cuvinte de mai mulți biți se poate utiliza C.I. specializat (**SN 74180N**) care este de fapt un generator, detector de paritate (imparitate) de 8 biți cu posibilități de expandare. Prin interconectarea mai multor circuite de acest tip se pot realiza generatoare (detectoare) de paritate (imparitate) cu un număr arbitrar de biți. Circuitul este prevăzut cu intrările P (par) și I (impar) care permit funcționarea ca generator (detector) de paritate sau imparitate. Corespunzător celor două funcții, circuitul este prevăzut cu două ieșiri Y_P și Y_I.

10.3 PARTEA PRACTICĂ

10.3.1 Obiective

1. Determinarea tabelului de adevăr pentru detectorul şi generatorul de paritate;
2. Completarea tabelului de adevăr pentru un detector şi generator de paritate.

10.3.2 Echipament necesar

1. Utilizarea programului Multisim pentru simularea câtorva circuite logice.

10.3.3 Efectuarea lucrării

1. Să se realizeze circuitul prezentat în figura 10.3:

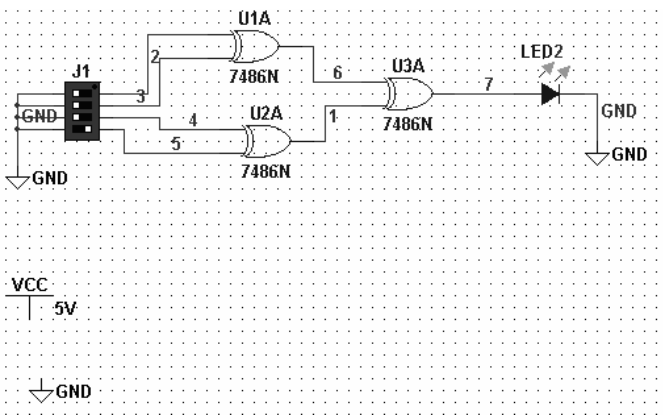


Figura 10.3

2. Completați tabelul de adevăr corespunzător funcționalității circuitului prezentat în figura 10.3:

A	B	C	D	Led2

Interpretați rezutatele obținute:

……
……
……
……
……

3. Să se realizeze circuitul prezentat în figura 10.4:

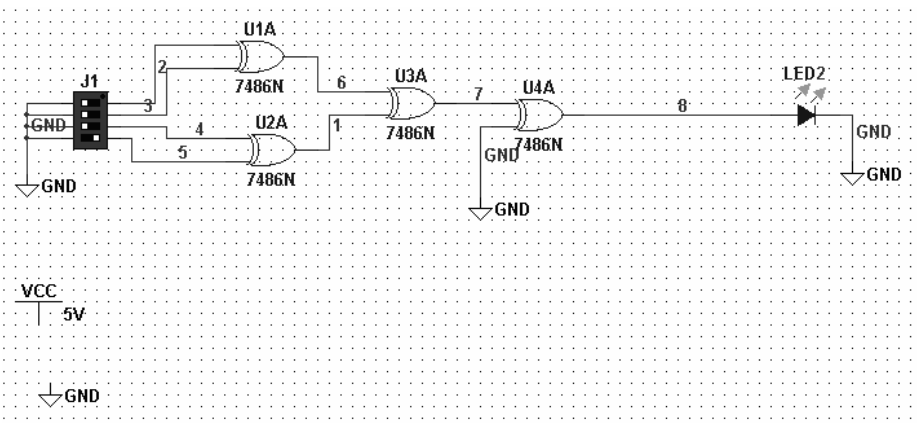


Figura 10.4

4. Completați tabelul de adevăr corespunzător funcționalității circuitului prezentat în figura 10.4:

A	B	C	D	Led2

Interpretați rezutatele obținute:

……
……
……
……
……

5. În figura 10.5 s-a prezentat o schemă completă pentru aplicația propusă în acest laborator:

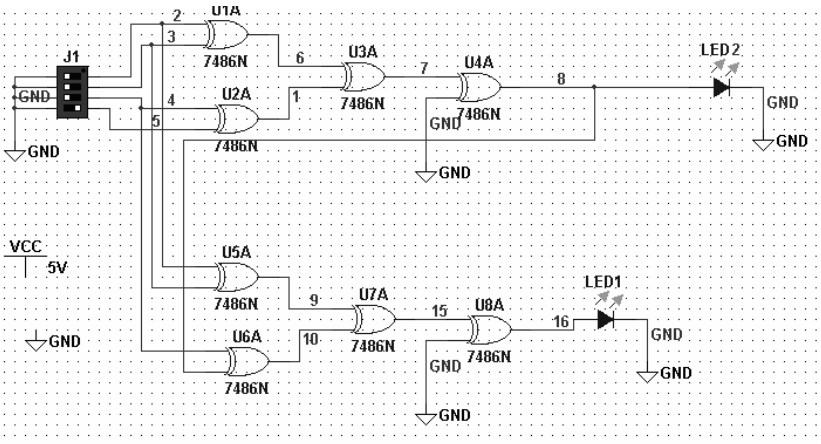


Figura 10.5

6. Completați tabelul de adevăr corespunzător:

A	B	C	D	Led2	Led1

Interpretați rezutatele obținute:

……
……
……
……
……

LABORATORUL 11

ELEMENTE DE TESTARE A CIRCUITELOR LOGICE - „Defecte de tip scurtcircuit în funcționarea circuitelor logice''

11.1 OBIECTIVE

1. Definirea conceptului de testare
2. Definirea principalelor defecte de tip scurtcircuit
3. Utilizarea programului OrCAD pentru simularea câtorva circuite logice.

11.2 INTRODUCERE TEORETICĂ

Prin testare se urmăreşte să identificăm prezența unui anumit tip de defect (sau un set de defecte). Aceste defecte sunt generate de punți de legătură ce apar între trasee diferite. Ele se pot găsi fie pe placheta cu trasee de cablaj imprimat, fie în interiorul chipului. Dacă defectele sunt prezente la nivelul cablajului imprimat ele sunt cauzate fie în procesul tehnologic de realizare a cablajului, fie în procesul tehnologic de realizare a lipiturilor. Scurtcircuitele pot apare între mai multe categorii de trasee:

- între trasee de alimentare
- între traseu de semnal şi traseu de alimentare
- între două trasee de semnal

Scurtcircuite între bare de alimentare diferite

Acest tip de scurtcircuit provoacă creşterea excesivă a curentului debitat de sursa de alimentare. Deci, echipamentul de test trebuie să posede surse de alimentare cu limitarea curentului debitat şi semnalizare a procesului de limitare. Acest tip de scurtcircuit nu implică nici un fel de tratare logică deoarece circuitele nu devin funcționale până la înlăturarea defectului.

Scurtcircuit între traseu de semnal şi bara de alimentare

Din punct de vedere logic defectul este echivalent cu PP0 sau PP1. **Defectul de tip PP0** este însoțit şi de următoarea comportare electrică. Dacă ieşirea circuitului este comandată să ia valoarea ,,0'' scurtcircuitul nu provoacă efecte neplăcute circuitului (tranzistorul Q_1 fiind blocat şi Q_2 saturat). În schimb, dacă ieşirea este comandată să ia valoarea ,,1'', apare un curent de valoarea foarte mare care se închide de la bara de alimentare prin R, Q_1, D spre masă. Diferența de potențial dintre cele două bare de alimentare se divide pe cele trei elemente amintite mai sus. **Defectul de tip PP1** determinat de scurtcircuitul la bara de alimentare este însoțit de următoarea manifestare electrică. Dacă ieşirea este comandată să ia valoarea ,,1'' nu apare o anomalie electrică în funcționarea porții, tranzistorul Q1 fiind comandat să fie saturat, iar Q2 blocat. Însă în momentul în care ieşirea este comandată să ia valoarea ,,0'' apare un curent excesiv de mare prin tranzistorul Q2. Acesta are colectorul fixat la tensiunea barei de alimentare şi emitorul la potențialul barei de masă, deci nu mai are nici o posibilitate de a se satura. Curentul injectat în baza lui este de valoare mare pentru a impune saturarea în condițiile funcționării normale.

Ca efect secundar apare creşterea curentului absorbit de la sursa de alimentare şi încălzirea circuitului datorită puterii mari disipate.

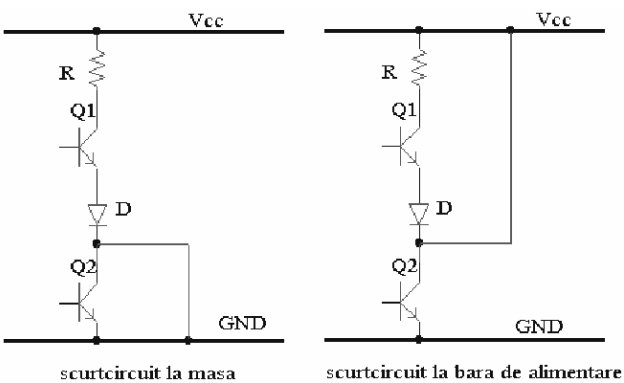


Figura 11.1. Scurtcircuite la barele de alimentare a ieşirilor bipolare

În cazul circuitelor CMOS manifestarea este simetrică pentru ambele situații de scurtcircuit. Se poate deduce că şi de această dată apare un conflict electric între comanda dată la ieşire şi scurtcircuitul existent, exact în aceleaşi situații ca şi în cazul precedent. În situația în care Q_1 este comandat deschis scurtcircuitul la masă determină apariția unui curent prin acest tranzistor limitat numai de rezistența sa în conducție. Acelaşi lucru

este valabil şi pentru situația în care Q_2 este comandat deschis şi există un scurtcircuit la bara VDD.

Pentru a evita distrugerea circuitelor se execută operațiile de testare cu modulele alimentate la tensiunea VDD=5V, chiar dacă în sistem aceste module vor fi alimentate la o tensiune mai mare. Evident, testele funcționale de performanță, cele care se execută la frecvențe ridicate, vor putea fi realizate numai după eliminarea defectelor de tip scurtcircuit şi alimentarea modulelor la tensiunile nominale prevăzute.

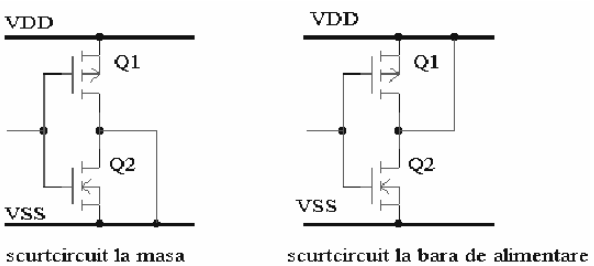


Figura 11.2. Scurtcircuite la barele de alimentare a ieşirilor MOS

Cele două tranzistoare au rezistențe drenă-sursă comparabile atunci când sunt deschise. Drept urmare, ele vor disipa puteri comparabile. Aceste puteri sunt dependente de valoarea tensiunii de alimentare VDD:

$$P = \frac{V_{DD}^2}{R_{ON}}$$

Scurtcircuit între două trasee de semnal

Aşa cum se poate observa în figura 11.3, între traseele scurtcircuite apare un conflict numai atunci când ieşirile porților P1 şi P3 sunt comandate în stări diferite. Trebuie să vedem ce nivel logic se poate detecta în această situație în cele două noduri. În funcție de acesta se poate deduce dacă defectul este vizibil în nodurile care urmează spre ieşiri sau este obligatorie investigarea directă a nodului defect. Nivelul logic stabilit în nodurile scurtcircuitate este dependent de natura ieşirilor porților care comandă aceste noduri.

Din punct de vedere logic defectul este echivalent cu introducerea funcției logice OR, dacă în nod se impune nivelul logic H, sau AND, dacă în nod se impune nivelul logic L.

Ca efect secundar apare creşterea curentului absorbit de la sursa de alimentare şi încălzirea circuitului datorită puterii mari disipate.

În figurile următoare sunt prezentate două situații posibile în funcție de natura porților cu ieşiri scurtcircuitate.

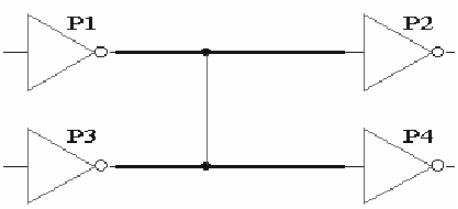


Figura 11.3. Ilustrarea scurtcircuitului între două trasee de semnal

În cazul circuitelor bipolare în general între nodurile scurtcircuitate se realizează funcția AND.

Acest tip de scurtcircuit nu reprezintă o defect care poate conduce la distrugerea circuitului.

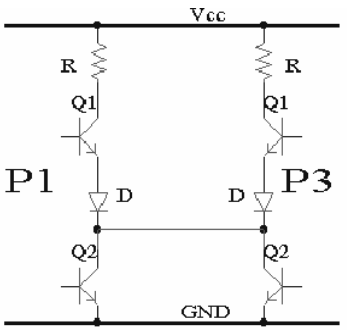


Figura 11.4. Scurtcircuit între două ieşiri bipolare

Dacă ambele porți au ieşiri CMOS (figura 11.5), atunci în prezența conflictului la ieşire sunt deschise două tranzistoare în diagonală, de exemplu Q_1 din P1 şi Q_2 din P3.

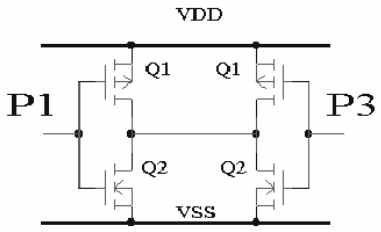


Figura 11.5. Scurtcircuit între două ieşiri CMOS

Un alt efect secundar care poate apărea este transformarea circuitului combinațional în unul secvențial. Așa cum poate fi urmărit în figura 11.6 scurtcircuitul de la ieşirea porții spre intrare va determina ca circuitul să aibă o comportare secvențială, stările ieşirilor vor depinde şi de valorile lor anterioare. Pentru a pune în evidență acest tip de defect trebuie adoptată o metodă adecvată de test care eventual să nu presupună aplicarea unei succesiuni de semnale de test.

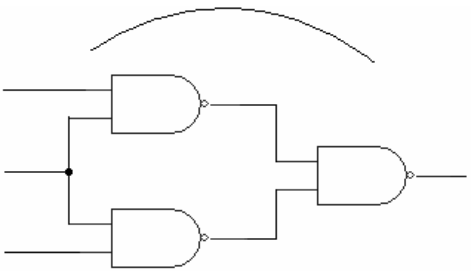


Figura 11.6. Scurtcircuitul transformă circuitul în unul secvențial

Dacă scurtcircuitul apare între două puncte între care există un număr impar de inversări, atunci circuitul poate oscila. Dacă timpul de propagare prin porțile din bucla creată este mic, rezultă oscilații de frecvență ridicată care pot determina pentru semnalele din noduri valori intermediare celor două nivele logice.

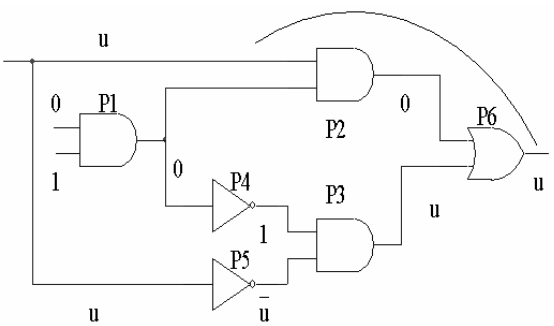


Figura 11.7. Apariția oscilațiilor datorită scurtcircuitelor

În exemplul din figura 11.7 valorile logice din nodurile circuitului permit propagarea variabilei *u* pe bucla creată prin existența scurtcircuitului. Dacă în schimb la intrările primei porți ŞI, P1 ambele valori ar fi 0, atunci propagarea variabilei ar fi blocată la trecerea prin poarta P3.

11.3 DESFĂŞURAREA LUCRĂRII DE LABORATOR

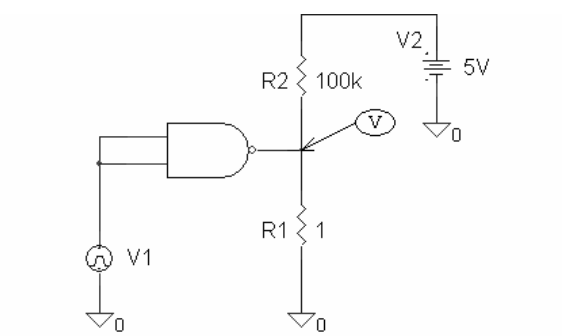
11.3.1 Efectuarea lucrării

1. Se analizează prin simulare OrCAD următoarea schemă care modelează prezența unui scurtcircuit la una din barele de alimentare. Prezența rezistențelor R1 şi R2 determină activarea interfeței digital-analogice, în felul acesta se pot urmări tensiunile ce apar la ieşirea porții. Dacă R1 se alege de valoare foarte mică, de exemplu 1Ω şi R2 de valoare foarte mare, va fi simulată situația prezenței unui scurtcircuit la masă. Dacă R2 se alege de valoare foarte mică, de exemplu 1Ω şi R1 de valoare foarte mare, va fi simulată prezența unui scurtcircuit la bara de alimentare. La intrarea porții se va aplica un tren de impulsuri pentru a putea observa modificarea nivelelor logice la ieşire în cele două situații. Se vor considera mai multe porți din diferite familii logice.

   a. Se vizualizează tensiunile de la ieşirea porții şi se notează nivelul logic care este modificat în prezența defectului.
   b. Se determină puterea disipată în poartă în situațiile de defect şi se apreciată care situației este mai gravă în funcționare. Pentru determinarea acestor puteri se vizualizează:

- Pentru scurtcircuitul la masă I(R1)*(5-V_O)
- Pentru scurtcircuitul la bara de alimentare I(R2)*V_O

   c. În situația în care alegeți o poartă din familia CMOS, variați şi tensiunea de alimentare VDD împreună cu V2. Urmăriți efectul produs asupra puterilor disipate de poartă.



Circuit pentru simularea scurtcircuitelor la barele de alimentare

Figura 11.8

2. Se analizează prin simulare OrCAD următoarea schemă care modelează prezența unui scurtcircuit între două trasee de semnal. Se vor considera pe rând porți din diferite familii logice. Sursa V1 va aplica un semnal dreptunghiular pentru a urmări modul în care defectul alternează nivelele logice. Pentru sursa V2 se vor alege pe rând tensiuni continue corespunzătoare celor două nivele logice.
    d. Se vor analiza semnalele din nodul scurtcircuitat şi de la ieşirile porților U2 şi U4.
    e. Se vor determina puterile disipate pe porțile cu ieşirile scurtcircuitate.
    f. Pentru porțile din familia CMOS se variază tensiunea de alimentare urmărindu-se modificările care apar în puterea disipată pe porțile cu ieşiri scurtcircuitate.

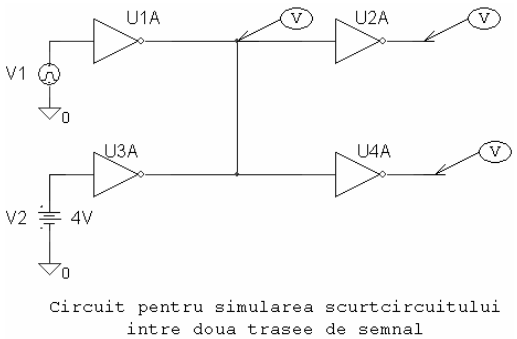


Figura 11.9

3. Se analizează apariția oscilațiilor în circuitul următor. Sursa V2 aplică un impuls de scurtă durată. Iar prin sursa V1 se urmărește modul în care se poate invalida apariția oscilațiilor. Rezistența R2 modelează scurtcircuitul.

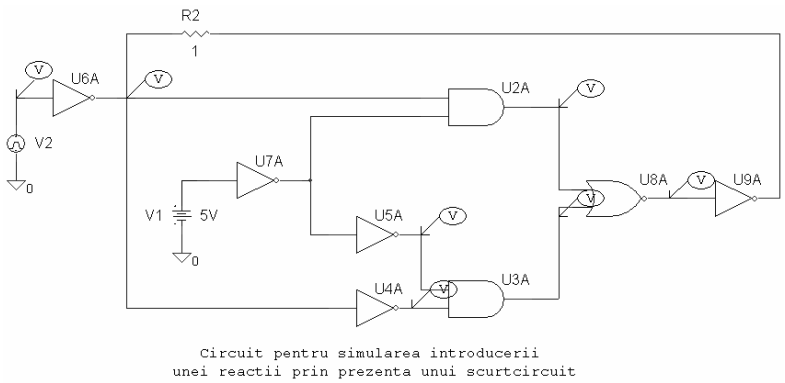


Figura 11.10

LABORATORUL 12

CIRCUITE BASCULANTE BISTABILE

12.1 OBIECTIVE

Obiectivele acestui laborator sunt:

1. Identificarea tipurilor de circuite basculante bistabile ;
2. Înțelegerea funcționării bistabilului ,,RS'';
3. Înțelegerea funcționării bistabilului ,,JK'';
4. Determinarea expresiei la ieşirea unui bistabil de tipul ,,T'' / ,,D'';
5. Determinarea tabelului de adevăr pentru un bistabil de tipul ,,T''/ ,,D'';
6. Determinarea formelor de undă pentru un bistabil ,,T'' / ,,D'';

12.2 INTRODUCERE TEORETICĂ

Circuitele bistabile sunt circuite care au două stări stabile, trecerea dintr-o stare în alta făcându-se numai la apariția unei comenzi din exterior. Prin examinarea stării ieşirilor se poate deduce ultima comandă primită de circuit.

Circuitele basculante bistabile sunt cele mai simple circuite secvențiale. Ele sunt realizate cu porți logice cu legături de reacție de la ieşire la intrare. Prezența legăturilor de reacție conferă acestor circuite proprietatea de memorare, în sensul că semnalul de ieşire va fi o funcție care depinde de starea curentă a circuitului precum şi de comenzile primite pe intrare (starea circuitului memorează de fapt ultimele comenzi primite).

12.2.1 Circuite basculante bistabile de tipul ,,RS''

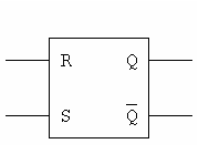
Circuitele basculantele bistabile sunt de două tipuri: asincrone şi sincrone. Obiectivul acestui laborator este însă de a studia funcționarea circuitelor asincrone, care pot fi de două feluri: *circuit cu comenzi active pe 1*; *circuit cu comenzi active pe 0.*

a) circuitul cu comenzi active pe 1

În figura 12.1 este prezentat circuitul basculant bistabil realizat cu porți ,,SAU-NU'' împreună cu schema bloc şi tabelul de adevăr. Se observă că un asemenea circuit are două intrări de comandă S şi R cu următoarea semnificație:

- R(Reset) – şterge informația;
- S(Set) – înscrie informația.

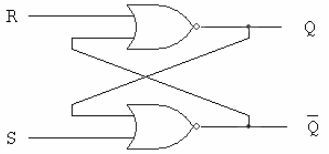
Bistabilul are două ieşiri complementare Q şi $\overline{Q}$. Aducerea simultană a intrărilor S şi R pe ,,1'' determină comutarea ambelor ieşiri pe ,,0'' (fapt posibil, dar lipsit de sens deoarece acestea trebuie să fie complementare). Din acest motiv, această stare nu este permisă.



Schema bloc

Rn	Sn	Qn+1
0	0	Qn
0	1	1
1	0	0
1	1	*

Tabelul de functionare



Schema logica

Figura 12.1

Examinând tabelul de funcționare putem spune că dacă avem pe intrări ($R_n = 0$ $S_n = 0$) în lipsa unui semnal de intrare starea circuitului nu se schimbă, astfel circuitul păstrează starea sa anterioară. În cazul în care $R_n = 0$ şi $S_n = 1$ se înscrie informația în circuit, în situația când avem $R_n = 1$ şi $S_n = 0$ se şterge informația. Când ambele intrări sunt pe nivel logic ,,1'' este vorba de o comandă interzisă.

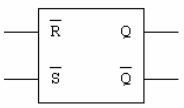
Funcția de transfer este dată mai jos:

$$Q_{n+1} = \overline{R_n + \overline{S_n + Q_n}}$$

$$\overline{Q}_{n+1} = \overline{S_n + \overline{R_n + \overline{Q_n}}}$$

b) circuit cu comenzi active pe 0

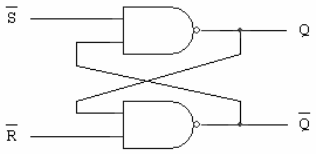
Analiza exactă a circuitului secvențial asincron reprezentând bistabilul R-S realizat cu porți NOR a fost făcută la punctul a. O analiză similară poate fi făcută şi pentru circuitul basculant bistabil realizat cu porți NOR. În figura 12.2 este reprezentată schema bloc, schema logică şi tabelul de funcționare a unui astfel de circuit:



Schema bloc

$\overline{R}n$	$\overline{S}n$	Qn+1
0	0	*
0	1	0
1	0	1
1	1	Qn

Tabelul de functionare



Schema logica

Figura 12.2

Dacă analizăm tabelul de funcționare vom constata ca atunci când pe ambele intrări avem nivel logic ,,0'' circuitul este blocat, în situația în care $\overline{R}_n = 0; \overline{S}_n = 1$ informația se şterge din circuit, în cazul când $\overline{R}_n = 1; \overline{S}_n = 0$ informația se înscrie în circuit, iar în ultimul caz când $\overline{R}_n \overline{S}_n = 11$ circuitul păstrează starea sa anterioară. Astfel starea de nedeterminare în acest caz este $\overline{R}_n \overline{S}_n = 00$. Se poate spune că în acest caz circuitul funcționează contrar comparativ cu cazul circuitului ,,cu comenzi active pe 1''.

Expresiile ieşirilor sunt:

$$Q_{n+1} = \overline{\overline{S}_n * \overline{\overline{R}_n * Q_n}}$$

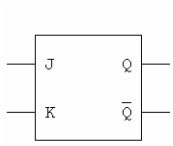
$$\overline{Q}_{n+1} = \overline{\overline{R}_n * \overline{\overline{S}_n * \overline{Q}_n}}$$

12.2.2 Circuite basculante bistabile de tipul „JK''

Acest tip de bistabil poate fi realizat în mai multe variante tehnice, printre care şi asincron şi sincron. Deoarece este larg utilizat la realizarea numărătoarelor şi registrelor, se poate afirma că este cel mai răspândit tip de bistabil. Scopul urmărit la realizarea lui este legat şi de eliminarea stărilor de nedeterminare. Cele două variante de circuite propuse pentru studiu sunt:

a) asincron

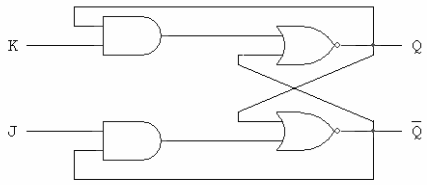
Bistabilul pe care-l vom descrie va şti să se comporte coerent în cazul în care primeşte o comandă neuzuală de a trece simultan în starea ,,0'' şi în starea ,,1'', astfel că mai jos sunt prezentate schema bloc, tabelul de funcționare şi schema logică:



Schema bloc

Jn	Kn	Qn+1
0	0	Qn
0	1	0
1	0	1
1	1	Q̄n

Tabelul de functionare



Schema logica

Figura 12.3

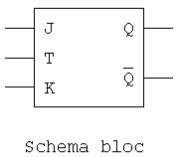
Schema logică se obține din schema bistabilului RS asincron prin eliminarea stării de nedeterminare. Față de bistabilul asincron (cu comenzi active pe 1) mai are la intrare încă două porți ŞI. În acest caz intrării J_n îi revine funcția de înscriere a informației în circuit pe când celeilalte intrări K_n îi revine funcția de ştergere din circuit. În urma minimizării s-au obținut şi expresiile ieşirilor:

$$Q_{n+1} = \overline{K_n Q_n + \overline{Q_n + J_n \overline{Q}_n}}$$

$$\overline{Q}_{n+1} = \overline{J_n \overline{Q}_n + \overline{K_n Q_n + \overline{Q}_n}}$$

b) sincron

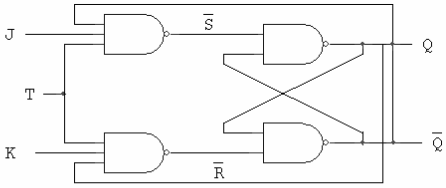
Bistabilul J-K se obține prin completarea latch-ului R-S cu două porți ŞI-NU. Acesta permite funcționarea, în anumite condiții, şi în cazul în care intrările sunt aduse simultan în starea ,,1''. Tabelul de funcționare, schema bloc şi schema logică sunt prezentate în figura 12.4:



Schema bloc

Jn	Kn	Qn+1
0	0	Qn
0	1	1
1	0	0
1	1	$\overline{Q}$n

Tabelul de functionare



Schema logica

Figura 12.4

Circuitul bistabil JK sincron este obținut dintr-un bistabil RS sincron, prin utilizarea unor bucle suplimentare de reacție. Caracteristic acestui bistabil este faptul că, aducerea simultană a intrărilor în stare ,,1'' determină comutarea ieşirii în starea anterioară negată ($Q_{n+1} = \overline{Q}_n$). Dacă intrările sunt menținute un timp prea îndelungat în această stare, ieşirea va comuta de mai multe ori sau chiar va începe să oscileze. Pentru prevenirea acestor fenomene se recomandă ca acest interval de timp să fie de ordinul timpilor de propagare prin circuit (latch). Comutarea nesimultană a intrărilor J şi K poate duce, de asemenea, la apariția, la ieşire, a altor nivele logice decât cele aşteptate. Trecerea în starea 1 a unei intrări înaintea celeilalte furnizează timp ieşirii să comute şi (când cea de-a doua intrare a ajuns pe ,,1'') să se stabilizeze pe un alt nivel logic decât cel dorit fenomen numit hazard 1 logic în bistabilul JK. Aceeaşi situație poate apărea şi la comutarea intrărilor în 0.

Circuitul JK sincron basculează numai pe durata tactului conform tabelului de funcționare. Când tactul trece în 0 circuitul nu mai basculează rămânând în starea pe care a avut-o în acel moment. Se observă că şi în acest caz se elimină starea de nedeterminare.

12.2.3 CBB de tip T

O altă variantă de circuit basculant cu o unică intrare de date sincronă este bistabilul de tip T. El este obținut prin efectuarea legăturii T = J = K. Potrivit tabelului de funcționare dacă intrarea T este la nivelul 1, după aplicarea tactului, ieşirea îşi complementează starea avută anterior, în caz contrar se menține starea anterioară. Aşa cum se poate remarca, bistabilele T sunt circuite care împart la 2 frecvența semnalului aplicat la intrarea de tact şi din acest caz sunt utilizate foarte des în circuite secvențiale de numărare. Acest tip de circuit nu este disponibil sub formă integrată, dar ele pot fi uşor implementate pe baza circuitelor JK MS sau D. Ieşirea acestui bistabil poate oscila dacă intrarea T este menținută prea

mult în starea ,,1'' dar nu apar probleme datorate hazardului (există o singură ieşire). Aducerea ieşirii într-o anumită stare nu este posibilă fără cunoaşterea, în prealabil, a stării anterioare (latch-ul nu este deosebit de folositor fără un circuit de inițializare).

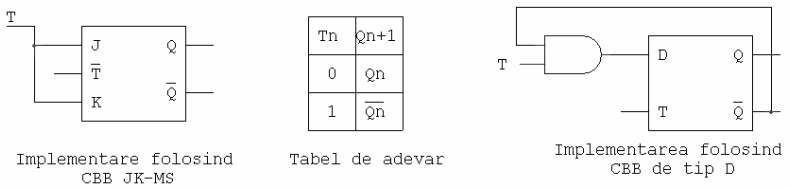


Figura 12.5

12.2.4 CBB de tip D

Bistabilul D este un circuit folosit pentru stocarea temporară sau realizarea unei întârzieri de un tact. Există mai multe variante constructive şi anume:

a) asincron

Se obține dintr-un CBB de tip RS sau JK în urma efectuării legăturilor:

- $D = S = \overline{R}$
- $D = J = \overline{K}$

Avem de a face cu un circuit pentru care condiția de neoperare nu există. Circuitul va urmări, prin ieşirea sa, tot timpul valoarea de pe intrare. În figura 12.6 este prezentată schema bloc şi tabelul de funcționare al acestui tip de circuit:

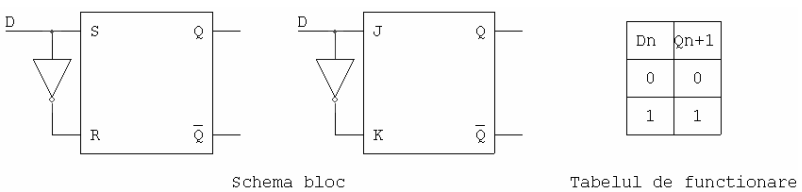


Figura 12.6

Se observă că ieşirea copiază intrarea $Q_{n+1} = D_n$ şi de aceea nu se utilizează în practică.

b) sincron

O structură mai complicată, însă mai eficientă este ce a unui circuit sincron. În figura 12.7 este prezentată schema bloc şi cea logică pentru acest tip de circuit:

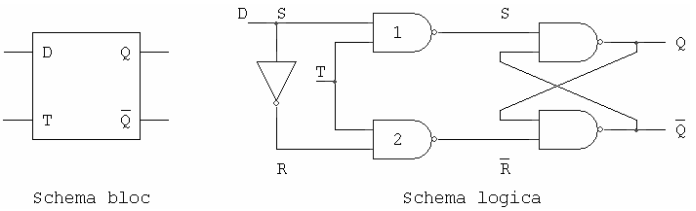


Figura 12.7

Funcționarea:

-T = 0, porțile 1 şi 2 sunt blocate, $\overline{S} * \overline{R} = 11 \Rightarrow Q_{n+1} = Q_n$

-T = 1, porțile 1 şi 2 sunt deschise

$-D_n = 0 \Rightarrow S_nR_n = 01 \Rightarrow Q_{n+1} = 0$

$-D_n = 1 \Rightarrow S_nR_n = 10 \Rightarrow Q_{n+1} = 1$

Pe durata tactului ieşirea copiază intrarea, iar când tactul trece în zero circuitul rămâne zăvorât în starea pe care a avut-o în acel moment şi de aceea acest circuit se mai numeşte D „cu zăvorâre'' sau D „latch''. Structura simplă a bistabilelor D şi utilizarea lor ca elemente de memorie a impus realizarea acestui tip de circuite în cadrul familiilor logice.

Ca circuite integrate avem circuitele **SN 7474N**, 2 bistabili cu ştergere şi setare şi **SN 7475N** 4 bistabili.

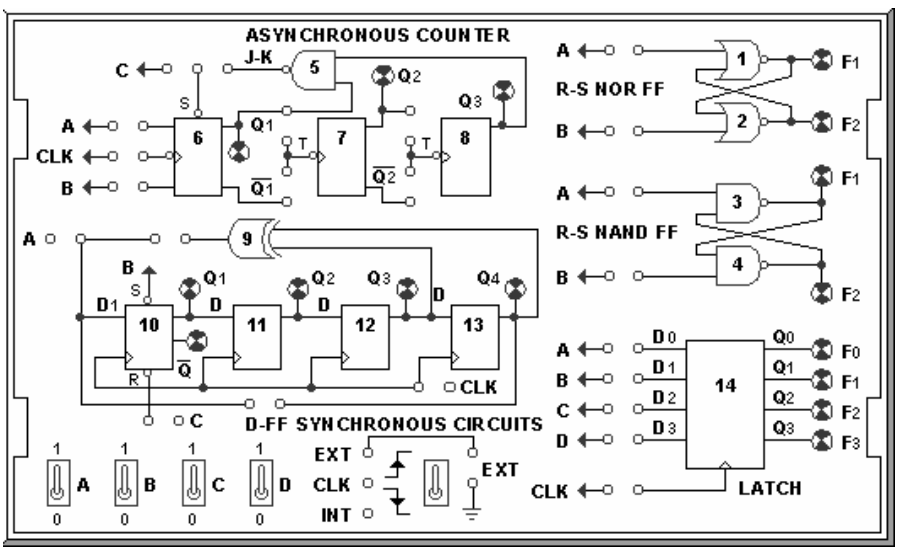
12.3 DESFĂŞURAREA LUCRĂRII DE LABORATOR

12.3.1 Obiective

1. Determinarea ieşirii pentru circuit de tipul ,,RS'' / ,,JK'';
2. Determinarea tabelului de adevăr;
3. Analiza diagramelor de timp;
4. Analizarea funcționării unui bistabil de tipul ,,T'' / ,,D'' cu ajutorul diagramelor de timp.

12.3.2 Echipament necesar

1. un cadru de bază PU – 2000
2. o placă EB – 133



Placa EB – 133

12.3.3 Efectuarea lucrării

1. Localizați pe placa EB-132 circuitul prezentat în figura 12.8. Realizați toate conexiunile necesare folosind cablurile aflate în dotarea standului de laborator.

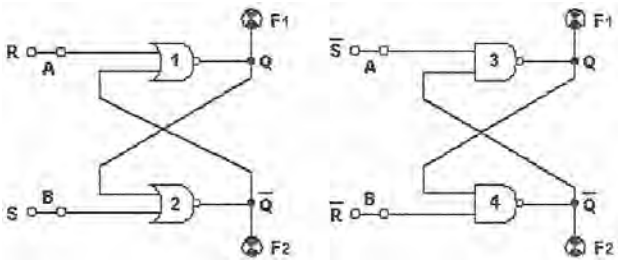


Figura 12.8

2. În cazul circuitului cu comenzi active pe ,,1'', dacă ambele intrări sunt pe nivel logic ,,0'', atunci ieşirea va semnaliza ?

R:

3. Starea interzisă pentru un circuit cu comenzi active pe ,,0'', este:

R:

4. În figura 12.9 este prezentată diagrama de timp a circuitului bistabil ,,RS'' (cu comenzi active pe 1). Sunt trasate stările intrărilor circuitului. Setați intrarea circuitului RS conform diagramei de timp. Completați în diagrama de timp succesiunea stărilor ieşirilor F1 (Q) şi F2 ($\overline{Q}$).

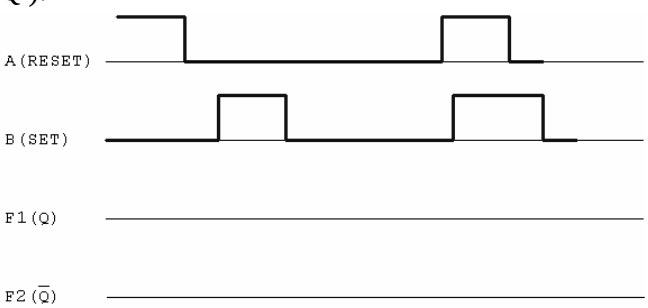


Figura 12.9

5. Notați în tabelul următor starea ieşirilor. În determinarea ieşirilor se va ține cont de următoarele convenții ,,0 – low, 1 – high, 2 – fără schimbare'':

OPERAȚIA	R	S	Q	$\overline{Q}$
HOLD	0	0		
SET	0	1		
RESET	1	0		
ILLEGAL	1	1		

6. În figura 12.10 este prezentată diagrama de timp a circuitului bistabil „RS'' (cu comenzi active pe 0). Sunt trasate stările intrărilor circuitului. Setați intrarea circuitului RS conform diagramei de timp. Completați în diagrama de timp succesiunea stărilor ieşirilor F1 (Q) şi F2 ($\overline{Q}$).

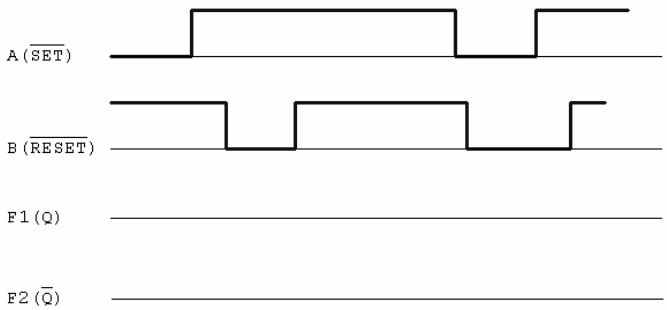


Figura 12.10

7. Notați în tabelul următor starea ieşirilor. În determinarea ieşirilor se va ține cont de următoarele convenții „0 – low, 1 – high, 2 – fără schimbare''.
8.

OPERAȚIA	$\overline{R}$	$\overline{S}$	Q	$\overline{Q}$
ILLEGAL	0	0		
RESET	0	1		
SET	1	0		
HOLD	1	1		

9. Starea interzisă pentru un circuit cu comenzi active pe „1'', este:

R:

10. Dacă la intrările unui circuit cu comenzi active pe „1'' avem $R_n = 0; S_n = 1$, atunci ieşirea va semnaliza:

R:

11. Dacă la intrările unui circuit cu comenzi active pe „0'' avem $\overline{R}_n = 0; \overline{S}_n = 1$, atunci ieşirea va semnaliza:

R:

12. Dacă la intrările unui circuit cu comenzi active pe ,,1'' avem $R_n = 1; S_n = 0$, atunci ieşirea va semnaliza:

R:

13. Dacă la intrările unui circuit cu comenzi active pe ,,1'' avem $\overline{R}_n = 1; \overline{S}_n = 0$, atunci ieşirea va semnaliza:

R:

14. Pentru ce stări de intrări la un bistabil ,,JK'' asincron îşi păstrează starea sa anterioară?

R:

15. Pentru ce combinații ale intrărilor bistabilul ,,JK'' asincron îşi complementează starea:

R:

16. În ce condiții un bistabil de tip ,,JK'' sincron basculează ?

R:

17. Starea de nedeterminare pentru un bistabil ,,JK'' sincron este ?

R:

18. Să se precizeze în ce condiții bistabilul ,,JK'' sincron oscilează ?

R:

19. Propuneți o soluție pentru înlăturarea oscilațiilor la un bistabil ,,JK'' sincron :

R:

20. Localizați pe placa EB-132 circuitul prezentat în figura 12.11. Realizați toate conexiunile necesare folosind cablurile aflate în dotarea standului de laborator.

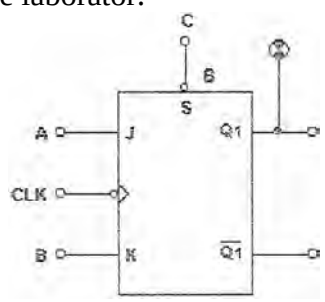


Figura 12.11

21. Notați în tabelul următor starea ieşirilor. În determinarea ieşirilor se va ține cont de următoarele convenții ,,0 , 1, 2 – fără schimbare, 3 – schimbare ’’.

OPERAȚIA	J	K	S	CLK	Q
SET	X	X	0	X	
HOLD	0	0	1	Front descrescător	
RESET	0	1	1	Front descrescător	
SET	1	0	1	Front descrescător	
TOGGLE	1	1	1	Front descrescător	

22. Să se precizeze ce legături trebuie făcute pentru a obține un basculant de tip ,,T’’:

R:

23. Ce legătură trebuie făcută pentru ca bistabilul de tip ,,T’’ definit prin expresia următoare: $Q_{n+1} = \overline{T}_n \cdot Q_n + T_n \cdot \overline{Q}_n$, să se realizeze cu un bistabil de tip ,,D’’ de tipul SN 7474N ?

R:

24. Pe ce front va comuta bistabilul realizat la punctul anterior ?

R:

25. Proprietatea cea mai importantă a unui bistabil ,,T’’ este:

R:

26. În ce condiții poate oscila un bistabil ,,T’’ ?

R:

27. În ce cazuri apar probleme datorate hazardului la un CBB de tip ,,T’’ ?

R:

28. Ce circuit trebuie folosit pentru ca un bistabil de tip ,,T’’ să fie cât mai eficient ?

R:

29. Formele de undă la ieşirea unui bistabil ,,T'' vor fi:

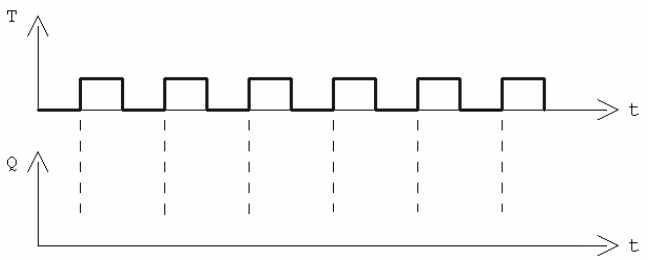


Figura 12.12

30. Un CBB de tip ,,D'' asincron, se obține în urma efectuării legăturilor :
R:

31. La un bistabil ,,D'' asincron ieşirea circuitului va copia ?
R:

32. La un CBB de tip ,,D'' sincron, când tactul trece în ,,0'' circuitul rămâne ?
R:

33. Bistabilele ,,D'' sunt folosite în cea mai mare parte ca şi:
R:

34. Să se deseneze schema logică a unui circuit basculant bistabil ,,D'' sincron obținut în urma cuplării $D = S = \overline{R}$:
R:

35. Ce diferențe există între bistabilii SN 7474N şi SN 7475N în privința frontului impulsului de tact care le determină funcționarea ?
R:

36. Localizați pe placa EB-133 circuitul prezentat în figura 12.13. Realizați toate conexiunile necesare folosind cablurile aflate în dotarea standului de laborator.

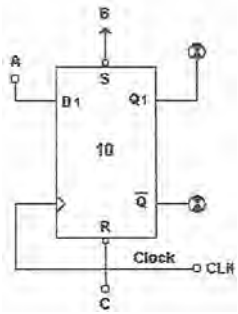


Figura 12.13

37. Completați ieşirile circuitului bistabil de tip ,,D'' utilizând diagramele de timp:

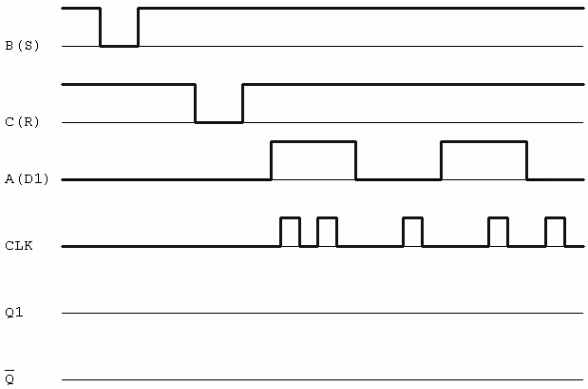


Figura 12.14

38. Notați în tabelul următor starea ieşirilor, utilizând şi convențiile 2 – Set, 3 – Reset, rise – front crescător:

OPERAȚIA	S	R	D_1	CLK	Q_1	$\overline{Q}$
SET	0	1	X	X		
RESET	1	0	X	X		
3	1	1	0	rise		
2	1	1	1	rise		

39. Tabelul de adevăr al bistabilului ,,D'' va avea următoarele ieşiri:

S	R	D_1	CLK	Q_1	$\overline{Q}$
0	1	X	X		
1	0	X	X		
1	1	0	rise		
1	1	1	rise		

40. Completați ieşirile circuitului bistabil de tip ,,D'' din figura 12.15 utilizând diagrammele de timp:

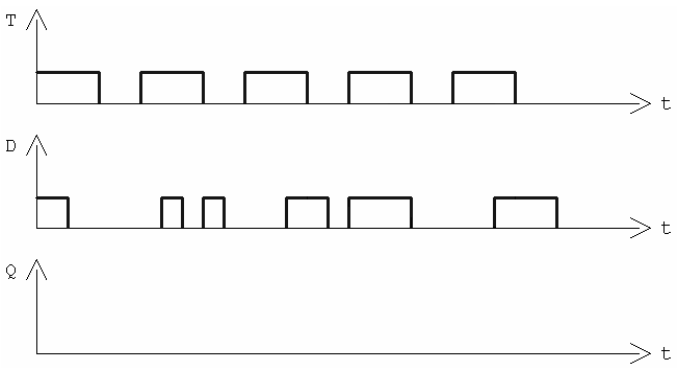


Figura 12.15

LABORATORUL 13

NUMĂRĂTOARE ELECTRONICE

13.1 OBIECTIVE

După parcurgerea acestui laborator studentul trebuie să poată:

1. Clasifica numărătoarele;
2. Defini câteva caracteristici mai importante ale numărătoarelor;
3. Proiecta numărătoarele asincrone.

13.2 INTRODUCERE TEORETICĂ

Circuitele de numărare sunt circuite de memorie realizate cu CBB-uri ce memorează numărul de impulsuri de tact aplicate la intrarea lor. Codul care este furnizat la ieşirea numărătorului depinde de aplicația în care se dorește a fi utilizat circuitul. Despre numărător se poate afirma că este un automat, deoarece primind aceeaşi comandă de mai multe ori la rând trece de fiecare dată în altă stare.

În funcție de structura internă, distingem două categorii de numărătoare:

- **numărătoare asincrone**, caracterizate prin faptul că bistabilii de stare comută progresiv, pe măsură ce ,,se ia decizia'' ca ei să comute; bistabilii vor ajunge cu toții în stare finală într-un timp proporțional cu numărul lor.
- **numărătoare sincrone**, caracterizate prin faptul că toți bistabilii de stare primesc în acelaşi timp comanda de comutare, drept urmare a unei ,,decizii'' luate prin analiza stării globale a numărătorului.

Structura mai simplă a numărătoarelor asincrone le recomandă pentru aplicațiile unde viteza de comutare a stării nu este importantă. Pentru aplicații de viteză, numărătoarele sincrone reprezintă singura soluție, chiar dacă plătim prețul unor structuri de dimensiuni mai mari.

În funcție de modul în care îşi modifică conținutul avem:

- **numărătoare directe**, care îşi cresc conţinutul cu o unitate la fiecare impuls de tact.
- **numărătoare inverse**, care îşi scad conţinutul cu o unitate la fiecare impuls de tact.
- **numărătoare reversibile**, care pot funcţiona atât ca numărătoare directe cât şi ca numărătoare inverse.

Foarte important de ştiut este că:

1. Celulele binare componente ale unui numărător sunt bistabili de tip T, care au proprietatea de a diviza cu 2 frecvenţa semnalului aplicat la intrare. Starea numărătorului la un moment dat este caracterizată printr-un cuvânt de cod de lungime egală cu numărul celulelor binare componente şi reprezentând conţinutul acestora. Succesiunea cuvintelor de cod dă codul în care numără numărătorul. Există mai multe coduri: binar, binar zecimal, Gray etc. Ne vom referi numai la numărătoarele binare.

2. Numărul stărilor distincte posibile ale unui numărător cu ,,n'' celule binare este 2^n. În multe aplicaţii nu se folosesc toate cele 2^n stări distincte posibile sărindu-se peste un număr ,,k'' de stări. Va rezulta un numărător cu $2^n - k$ stări numit ,,modulo p'', unde $p = 2^n - k$.

3. Capacitatea unui numărător este dată de numărul stărilor distincte ale acestuia.

4. Raportul dintre numărul impulsurilor aplicate la intrare şi cel al impulsurilor obţinute la ieşire se numeşte factor de divizare.

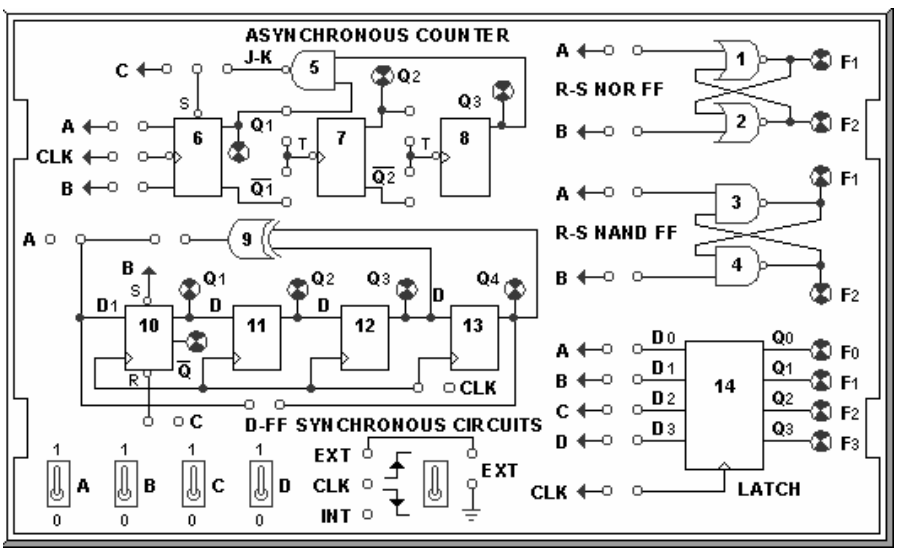
13.3 DESFĂŞURAREA LUCRĂRII DE LABORATOR

13.3.1 Obiective

1. Proiectarea unui numărător asincron ,,modulo p'';
2. Analizarea funcționării numărătoarelor asincrone;
3. Analizarea funcționării numărătoarelor sincrone;
4. Studiul diagramelor de timp.

13.3.2 Echipament necesar

1. un cadru de bază PU – 2000
2. o placă EB – 133



Placa EB – 133

13.3.3 Efectuarea lucrării

1. În funcție de structura lor internă numărătoarele pot fi ?

R:

2. În funcție de modul în care îşi modifică conținutul numărătoarele sunt ?

R:

3. Celulele binare componente ale unui numărător sunt bistabili de tipul ?

R:

4. Factorul de divizare la un numărător este ?

R:

5. Capacitatea unui numărător reprezintă ?

R:

6. La numărarea în binar starea următoare stării 001, este:

R:

7. La numărarea în binar starea precedentă stării 111, este:

R:

8. Numărul stărilor distincte posibile ale unui numărător cu ,,n'' celule binare este ?

R:

9. Se dă structura numărătorului pe 3 biți din figura 13.1. Identificați pe placa EB-133 circuitul si cu ajutorul cablurilor aflate in dotarea standului face-ți conexiunile de rigoare pentru cazul când circuitul numără inainte de la 0 – 7 :

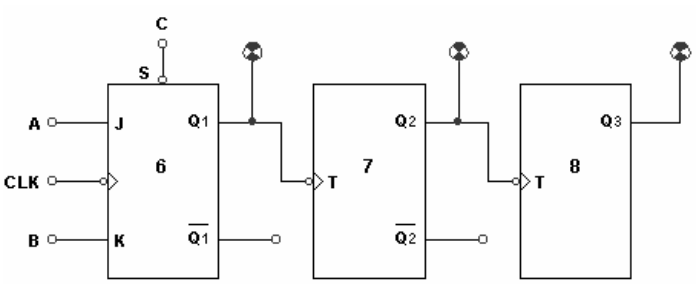


Figura 13.1

10. Tabelul de adevăr corespunzător ieşirilor numărătorului este:

Count	Q_3	Q_2	Q_1
0			
1			
2			
3			
4			
5			
6			
7			

11. Trasați diagramele de timp corespunzătoare acestui circuit.
R:

12. Se dă structura numărătorului pe 3 biți din figura 13.1. Identificați pe placa EB-133 circuitul si cu ajutorul cablurilor aflate in dotarea standului face-ți conexiunile de rigoare pentru cazul când circuitul numără înapoi de la 7 – 0 :

13. Tabelul de adevăr corespunzător ieşirilor numărătorului este:

Count	Q_3	Q_2	Q_1
0			
1			
2			
3			
4			
5			
6			
7			

14. Trasați diagramele de timp corespunzătoare acestui tip de circuit.
R:

15. În figura 13.2 se dă structura unui numărător asincron care numără direct de la 0 la 5.

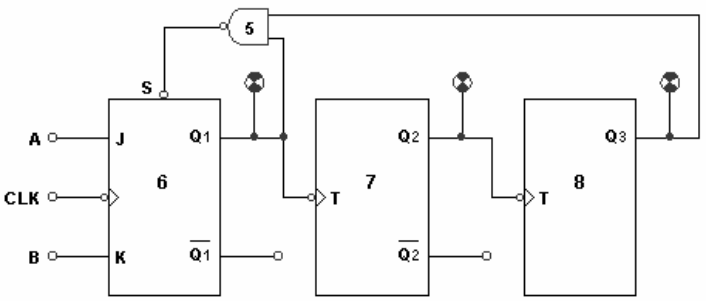


Figura 13.2

16. Tabelul de adevăr corespunzător ieşirilor acestui tip de numărător este:

Count	**Q_3**	**Q_2**	**Q_1**
0			
1			
2			
3			
4			
5			

17. Să se proiecteze un numărător asincron care numără înapoi de de 4 la 0.

18. Să se realizeze un numărător asincron modulo 13.

Numărătorul se realizează prin tehnica aducerii la zero, a cărei considerente teoretice au fost prezentate în partea de curs a acestei lucrări.

Amintim doar că numărătorul se lasă să evolueze normal până în starea p – 1 (aici p – 1 = 12). În momentul în care se atinge starea p (aici 13) se aplică un impuls de ştergere tuturor celulelor, pe borna CLEAR. Numărul celulelor binare, care sunt bistabile de tip T , care compun numărătorul se determină cu relaţia $2^n \geq p$, deci pentru p = 13 rezultă n = 4. Ieşirile numărătorului sunt cuplate la un circuit de recunoaştere a stării p, o poartă ŞI-NU, care comandă aducerea sa în zero.

Figura circuitului este prezentată mai jos:

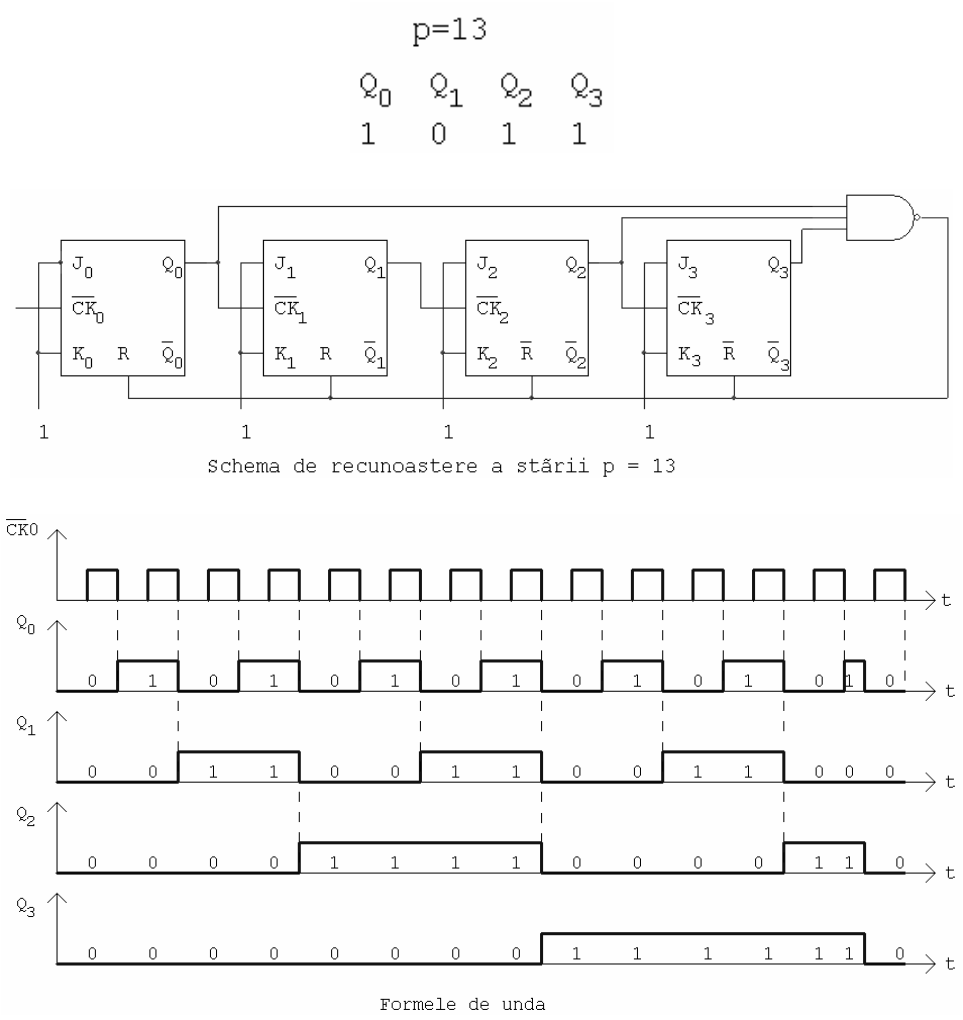


Figura 13.3

Examinând diagramele observăm că numărătorul trece succesiv prin strările 0, 1, 2, ... , 12 şi ajunge în starea 13 ($Q_3 = 1$, $Q_2 = 1$, $Q_1 = 0$, $Q_0 = 1$). După ce numărătorul a trecut în starea 13 circuitul de recunoaştere a acestei stări (poarta ŞI-NU cu intrările Q_0, Q_2, Q_3) se activează şi comandă aducerea la zero a numărătorului. Rezultă că numărătorul este efectiv în starea 13 un timp τ necesar recunoaşterii acestei stări după care, având în vedere că aducerea la zero este o comandă prioritară, va trece în starea 0 ($Q_3 = Q_2 = Q_1 = Q_0 = 0$).

19. Să se realizeze un numărător asincron modulo 10.

20. La numărătoarele sincrone aplicarea impulsurilor de tact se face ?
R:

21. La numărătoarele sincrone bistabilii componenți vor comuta ?
R:

22. De cine este determinat timpul de propagare la numărătoarele sincrone ?
R:

23. Circuitul integrat SN 74193N este un numărător reversibil, având structura prezentată în figura 13.4:

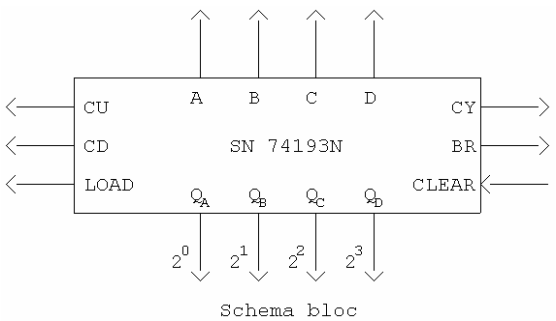


Figura 13.4

Intrări:

- **CU** (**C**out **U**p) este intrarea care comandă, pe frontul pozitiv al semnalului, numărarea înainte.
- **CD** (**C**ount **D**own) este intrarea care comandă, pe frontul negativ al semnalului, numărarea înapoi.

Obs: Sensul de numărare este determinat de intrarea activată, în timp ce cealaltă intrare este în starea 1.

- **CL** (**C**lear) este intrarea prioritară de ştergere care forțează ieşirile în 0000, atunci când este în starea 1.
- **LD** (**L**oa**D**) este intrarea de încărcare care permite schimbarea secvenței de numărare astfel:
  -pt. LD = 1, N numără normal înainte sau înapoi.
  -pt. LD = 0, N se încarcă cu datele de pe A, B, C, D.

- **A, B, C, D** – sunt intrările pe care apar datele ce trebuie înscrise în numărător.
  Celelalte conexiuni ale circuitului sunt:
- **Q_A, Q_B, Q_C, Q_D** – sunt ieşiri care pot fi citite simultan, dacă circuitul lucrează ca numărător , sau numai câte una, dacă este un divizor de frecvență.
- **CY** (**C**arr**Y**), ieşire care semnalizează trecerea prin 1111(15) la numărarea înainte.
- **BR** (**B**o**R**ow), ieşire care semnalizează trecerea prin 0000(0) la numărarea înapoi.

24. Să se deseneze graful de tranziții şi forma de undă la ieşire pentru circuitele de mai jos, ştiind că numărătoarele sunt complet sincrone iar încărcarea şi numărarea, LD, se fac pe frontul pozitiv al tactului.

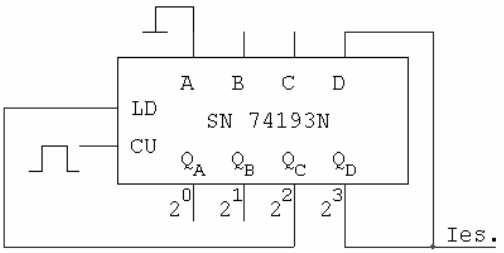
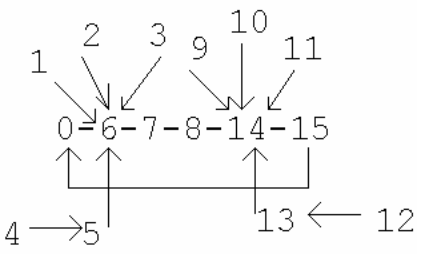


figura 13.5

Vom nota intrările, iar după aceea începem analiza circuitului:

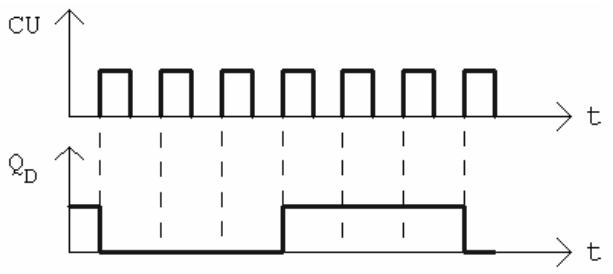
A = 0 0000 – 0110 – 1110 – 0001 – 0111 – 1111 – 0000
B = 1
C = 1
LD = Q_D
D = Q_D

1000 – 0110 1001 – 0111
0100 – 0110 0101 – 0111
1100 – 0110 1101 – 0111
0011 – 1011 - 0111



Graful de tranzitii

Figura 13.6



Forma de unda la iesire

Figura 13.7

25. Pentru circuitul din figura 13.8 să se deducă formele de undă la ieşire şi graful de tranziţii ştiind că circuitul este un numărător sincron:

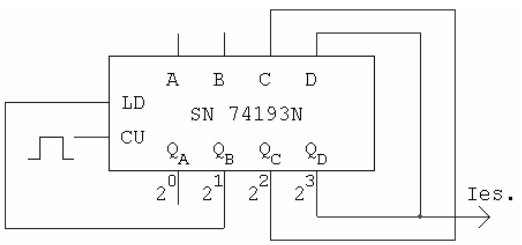


Figura 13.8

26. În afară de numărătoare reversibile, numărătoarele sincrone mai pot fi ?

R:

LABORATORUL 14

REGISTRUL DE DEPLASARE (shiftare)

14.1 OBIECTIVE

După parcurgerea laboratorului studentul trebuie să poată face:

1. Cunoască funcționarea registrului de deplasare;
2. Cunoască aplicațiile acestor tipuri de registre;

14.2 INTRODUCERE TEORETICĂ

Acest tip de registru se realizează cu ajutorul bistabilelor de tip D, conform figurii 14.1:

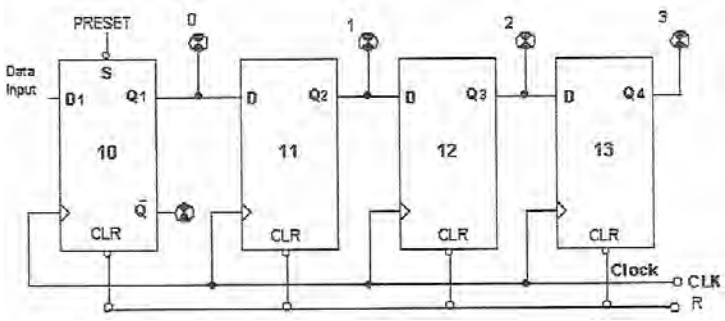


Figura 14.1

Registrele de deplasare sunt folosite pentru stocare şi transmiterea informației. Este un dispozitiv de memorie foarte important fiind capabil sa stocheze informații sub formă de 1 şi 0 logic. În acest registru de deplasare intrarea de date este serială. Aceasta înseamnă că datele sunt aplicate la intrarea D câte un bit la un moment dat.

Ieşirea acestui registru de deplasare este la fiecare dintre ieşirile Q ale bistabilelor şşi sunt numite ieşiri paralele. Ledul este aprins pentru a indica 1 logic şi este stins pentru a indica 0 logic. De îndată ce întregul număr este aplicat la intrarea D al bistabilului ,,1'', starea ieşirilor va apărea la ieşire.

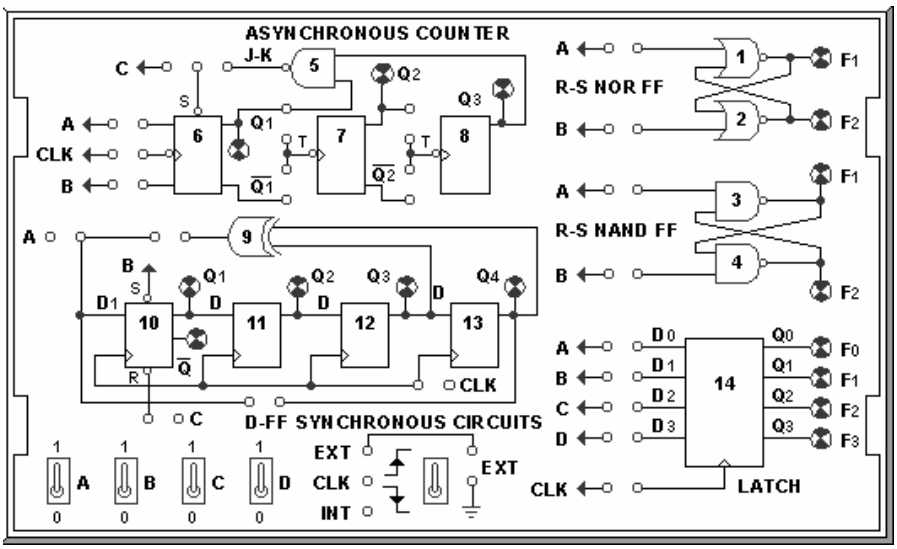
14.3 DESFĂŞURAREA LUCRĂRII DE LABORATOR

14.3.1 Obiective

1. Analiza funcționării registrului de deplasare

14.3.2 Echipament necesar

1. un cadru de bază PU – 2000
2. o placă EB – 133



Placa EB – 133

14.3.3 Efectuarea lucrării

1. Localizați pe placa EB – 133 circuitul prezentat în figura 14.2:

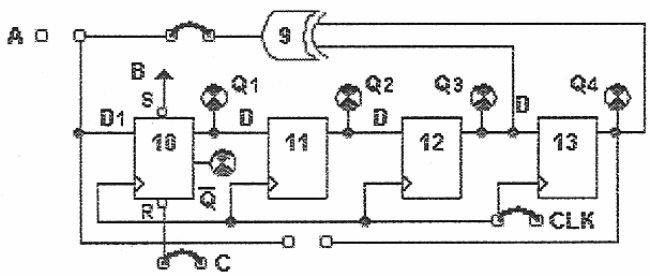


Figura 14.2

2. Conectați trei jumperi în locul indicat de săgeată pentru intrările A, C şi clock. Setați comutatorul A pe ''0'' iar comutatorele B şi C pe ''1''. Aplicați câteva impulsuri de tact pentru a reseta cele patru bistabile de tip D.

3. Setați comutatorul A pe ''1'' şi aplicați un impuls de clock pentru a seta primul bistabil de tip D pe ''1''. Deconectați jumperul A şi conectați-l la ieşirea porții logoice 9. Acest circuit îşi modifică sincron cu clockul stările de la ieşire la fiecare tact aplicat la intrare.

4. Folosiți comutatorul CLK pentru a schimba starea intrărilor de tact şi completați diagrama de stare din figura 14.3. Ledul este aprins pentru a indica starea logică ''1''.

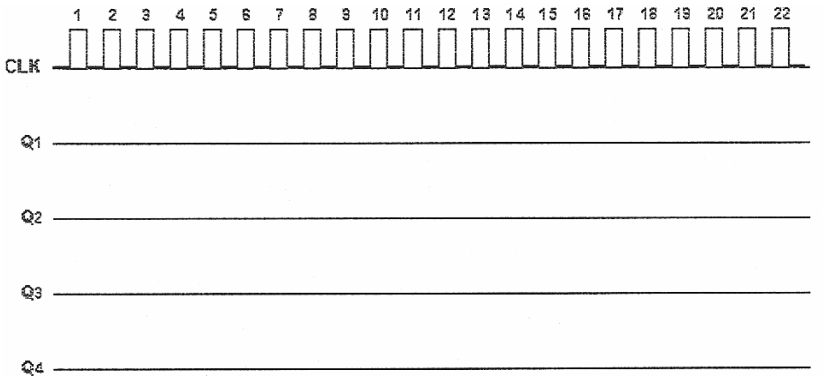


Figura 14.3

5. Completați tabelul de adevăr de mai jos:

COUNT	Q_4	Q_3	Q_2	Q_1
1				
2				
3				
4				
5				
6				
7				
8				
9				
10				
11				
12				
13				
14				
15				
16				
17				
18				
19				
20				
21				
22				

6. Observați în diagrama de timp că ieşirile Q se schimbă numai pe front crescător al intrării clock.

7. În figura 14.4 este prezentat un numărător în inel:

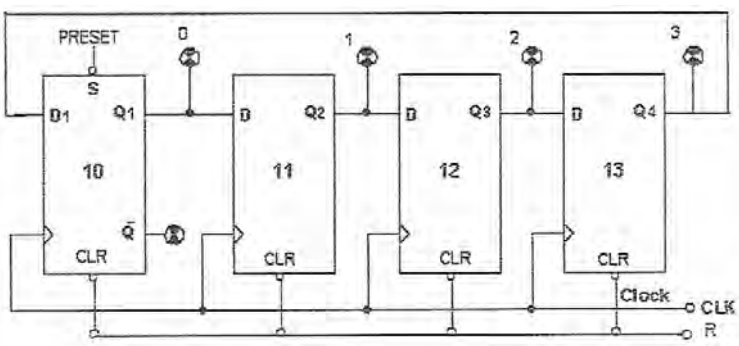


Figura 14.4

8. Aduceți momentan comutatorul B pe ''0'' apoi treceți-l din nou pe ''1''. Aplicați impulsul de tact ca şi în figura 14.5 şi completați diagrama de timp:

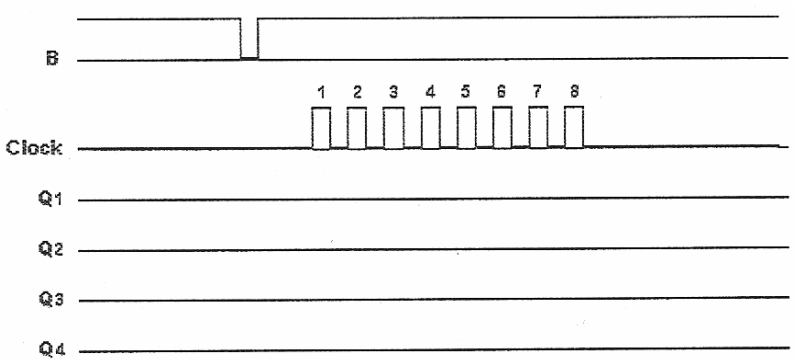


Figura 14.5

9. Completați tabelul de adevăr al Ring – Counter Syncronous:

COUNT	Q_4	Q_3	Q_2	Q_1
1				
2				
3				
4				
5				
6				
7				
8				

10. Urmează să implementăm un registru de deplasare. Reconectați circuitul din figura 14.4, astfel încât acesta să deplaseze informațiile aplicate primului bistabil de tip D la fiecare impuls de tact. Setați comutatorele B şi C pe ''1''. Setați comutatorul A pe ''0'' şi aplicați câteva impulsuri de clock pentru a reseta patru bistabile de tip D.

11. Aduceți comutatorul A pe ''1''. Aplicați un impuls de clock apoi mutați comutatorul A pe ''0''. Aplicați patru impulsuri de clock, apoi mutați comutatorul A pe ''1'' pentru a aplica alte patru impulsuri ceasului.

12. Completați diagrama de timp din figura 14.6:

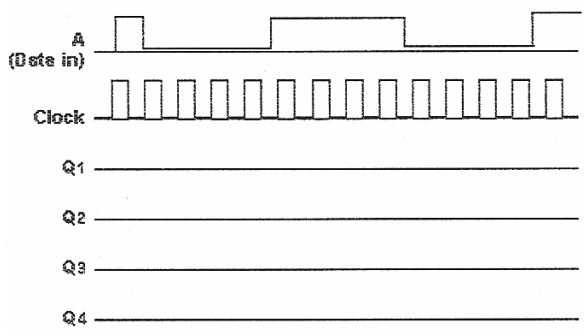


Figura 14.6

13. Completați tabelul de adevăr al registrului de deplasare:

DATA IN	CLK	Q_4	Q_3	Q_2	Q_1
1	↑				
0	↑				
0	↑				
0	↑				

14. Folosiți comutatorele pentru a completa diagrama de timp din figura 14.7:

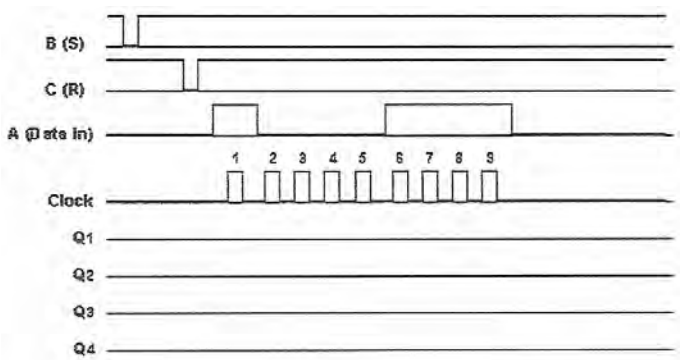


Figura 14.7

15. Funcțiile unui registru sunt ?

R:

16. Tipurile de registre existente pe piață sunt ?

R:

ANEXĂ

STANDUL DE LABORATOR PU - 2000

Lucrările de laborator se realizează practic folosind standul PU - 2000 al firmei DEGEM SYSTEMS. Standul este compus din două părți distincte:

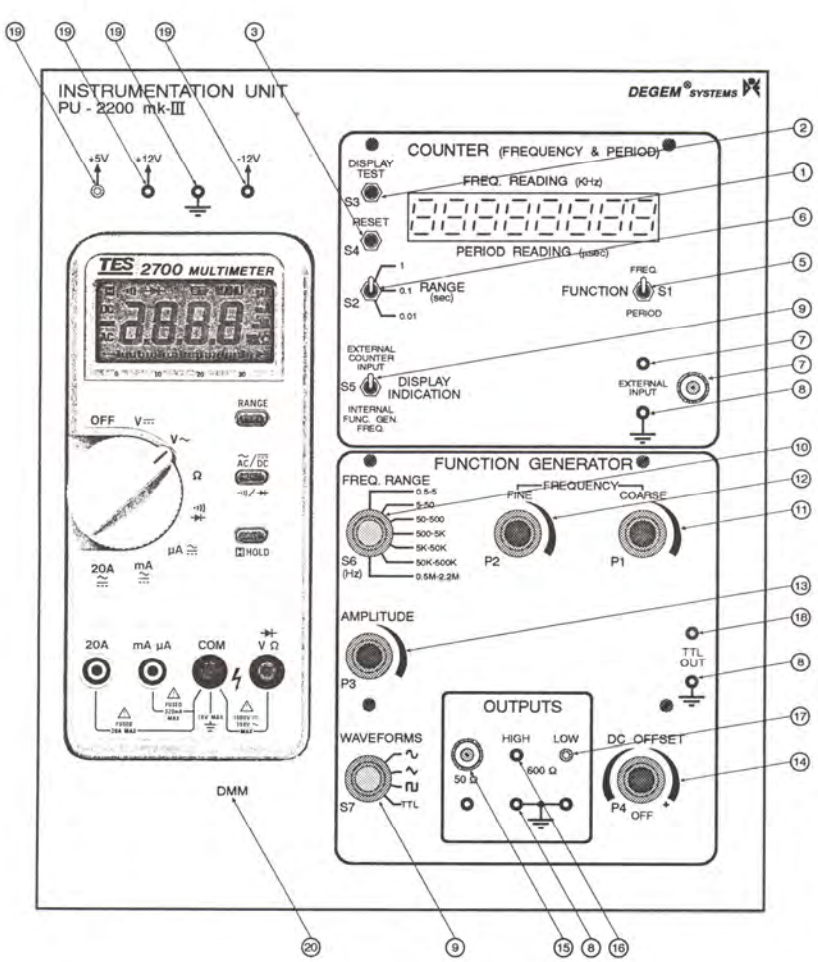
- unitatea de bază – pe care se vor asambla plăcile de bază specifice fiecărei lucrări de laborator;
- unitatea de măsură – cu ajutorul careia se pot efectua operațiile de măsurare necesare.

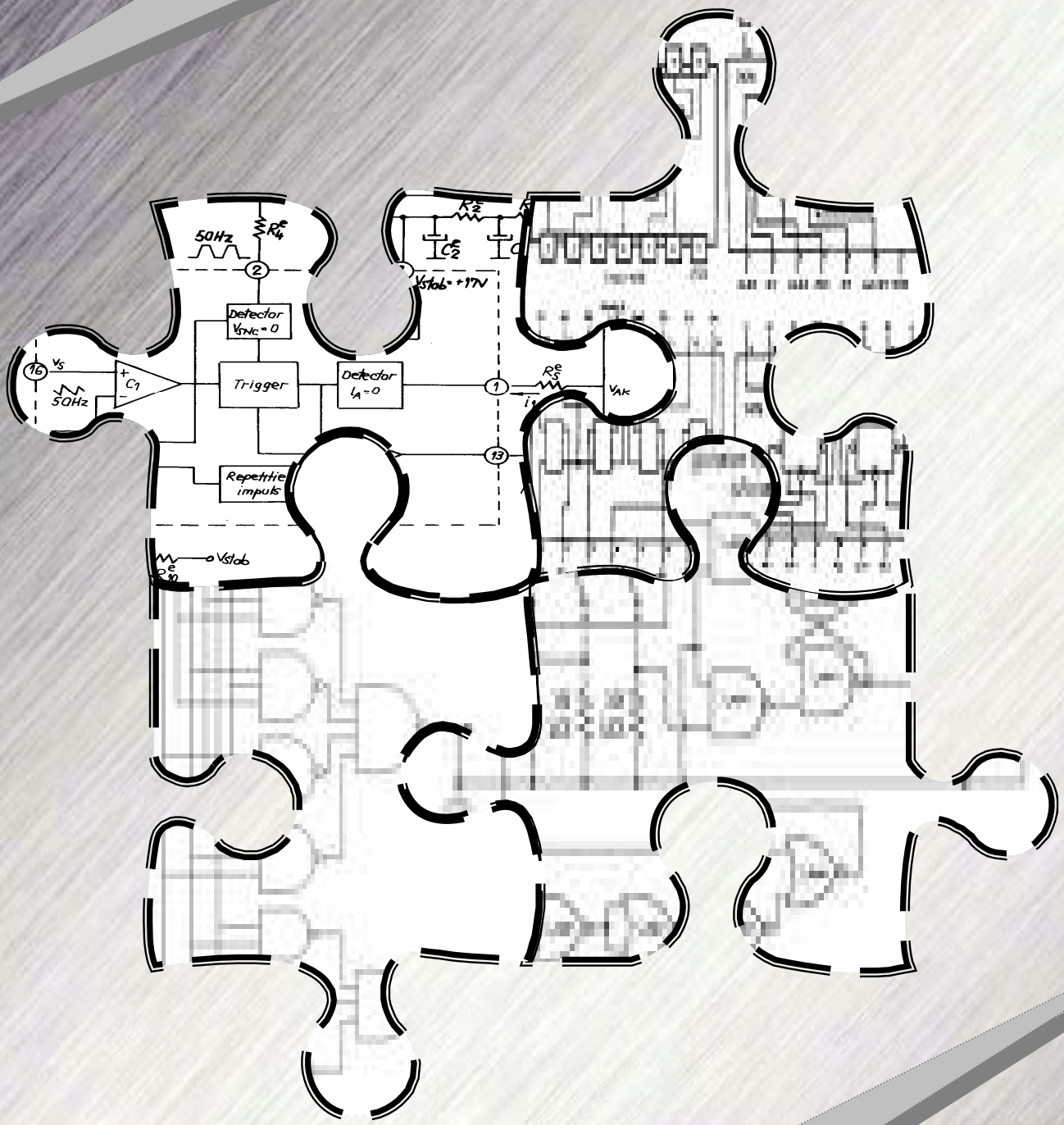
Unitatea de măsură este compusă din trei instrumente de măsură diferite: un frecvențmetru, un generator de semnal şi un multimetru digital. Unitatea de măsură este alimentată direct de la unitatea de bază.

În figura de mai jos este prezentat panoul frontal al unității de măsură:

1. *Afişaj digital* – pentru afişarea frecvenței respectiv a perioadei semnalului de intrarea sau a semnalului generat de generatorul de semnal
2. *Display test* – buton de testare a afişajului digital
3. *Reset* – buton de reinițializare a frecvențmetrului
4. *Display indication* – buton de selecție a semnalului de intrare - comută semnalul de intrare în frecvențmetru între generatorul intern de semnal şi un semnal extern de intrare
5. *Function* – buton de selecție frecvență/perioadă - comută între măsurarea frecvenței sau măsurarea perioadei semnalului de intrare
6. *Range* - selectează rezoluția frecvențmetrului
7. *External input* – conectori de intarea pentru conectare unui semnal extern la intrarea frecvențmetrului
8. *Masă* – conector de masă
9. *Waveforms* – selectează forma de undă a semnalului generat de către generatorul de semnal (sinusoidală, triunghiulară, dreptunghiulară, dreptunghiulară nivel TTL)
10. *Freq. range* – selectează domeniul de frecvență pentru generatorul de semnal
11. *Frequency coarse* – permite reglare frecvenței, în limitele domeniului de frecvență, a semnalului generat de către generatorul de semnal

12. *Frequency fine* – permite reglarea fină a frecvenței semnalului generat de către generatorul de semnal
13. *Amplitude* – permite reglarea amplitudinii semnalului generat de către generatorul de semnal
14. *DC offset* – permite ajustarea devierii de curent continuu
15. *50 Ω output* – bornă de ieşire cu impedanță internă de 50 Ω
16. *High output* – bornă de ieşire cu impedanță internă de 600 Ω
17. *Low output* – bornă de ieşire cu impedanță internă de 600 Ω, semnal atenuat cu 20dB
18. *TTL aut* – bornă de ieşire pentru semnal nivel TTL
19. *+5V,+12V,-12V* – conectori alimentare a unității de măsură dacă unitate de măsură nu se foloseşte împreună cu unitatea de bază
20. *DMM* – multimetru digital




50Hz
Detector
Trigger
Detector
Repetitie
impuls
50Hz
Vstab